

PCT

世界知的所有権機関  
国際事務局

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 H01L 29/786	A1	(11) 国際公開番号 WO99/27585  (43) 国際公開日 1999年6月3日(03.06.99)
<p>(21) 国際出願番号 PCT/JP98/04256</p> <p>(22) 国際出願日 1998年9月22日(22.09.98)</p> <p>(30) 優先権データ 特願平9/320973 1997年11月21日(21.11.97) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者 ; および</p> <p>(75) 発明者 / 出願人 (米国についてのみ) 三谷真一郎(MITANI, Shinichiro)(JP/JP) 池田隆英(IKEDA, Takahide)(JP/JP) 森 和孝(MORI, Kazutaka)(JP/JP) 〒198-8512 東京都青梅市新町六丁目16番地の3 株式会社 日立製作所 デバイス開発センタ内 Tokyo, (JP) 樋口久幸(HIGUCHI, Hisayuki)(JP/JP) 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社 日立製作所 中央研究所内 Tokyo, (JP)</p>		<p>(74) 代理人 弁理士 秋田収喜(AKITA, Shuki) 〒116-0013 東京都荒川区西日暮里6丁目53番3号 藤井ビル201号 Tokyo, (JP)</p> <p>(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54)Title: SEMICONDUCTOR DEVICE</p> <p>(54)発明の名称 半導体装置</p> <p>(57) Abstract A semiconductor device having a field effect transistor constituted in a semiconductor layer formed on an insulating layer. The semiconductor device is provided with a body electrode electrically connected to the region where the channel of the field effect transistor is formed and a back gate electrode provided below the insulating layer oppositely to the channel forming region. To the body electrode and back gate electrode, potentials which control carriers of the opposite conductivity to that of the channel formed in the upper portion of the channel forming region are given. Thus, the drain breakdown voltage of the field effect transistor is high and the threshold voltage of the transistor is stabilized. In addition, the threshold voltage of the field effect transistor can be changed in a stable state.</p> <div data-bbox="941 1302 1380 1911"><p>(A)</p><p>(B)</p></div>		

(57)要約

絶縁層上の半導体層に構成された電界効果トランジスタを有する半導体装置であって、前記電界効果トランジスタのチャネル形成領域と電気的に接続されるボディ電極と、前記電界効果トランジスタのチャネル形成領域と対向して前記絶縁層下に設けられるバックゲート電極とを備えている。前記ボディ電極、前記バックゲート電極の夫々には、前記電界効果トランジスタのチャネル形成領域の上層部に形成されるチャネルと反対導電型のキャリアを制御する電位が印加される。これにより、電界効果トランジスタのドレイン耐圧を高くすることが可能になる。また、電界効果トランジスタの閾値電圧の安定化を図ることが可能になる。また、電界効果トランジスタの閾値電圧を安定した状態で変化させることが可能になる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BG	ブルガリア	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BJ	ベナン	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BR	ブラジル	GR	ギリシャ	ML	マリ	TT	トリニダード・トバゴ
BY	ベラルーシ	HR	クロアチア	MN	モンゴル	UA	ウクライナ
CA	カナダ	HU	ハンガリー	MR	モーリタニア	UG	ウガンダ
CF	中央アフリカ	ID	インドネシア	MW	マラウイ	US	米国
CG	コンゴ	IE	アイルランド	MX	メキシコ	UZ	ウズベキスタン
CH	スイス	IL	イスラエル	NE	ニジェール	VN	ヴェトナム
CI	コートジボワール	IN	インド	NL	オランダ	YU	ユーゴスラビア
CN	中国	IS	アイスランド	NO	ノルウェー	ZA	南アフリカ共和国
CU	キューバ	IT	イタリア	NZ	ニュージーランド	ZW	ジンバブエ
CY	キプロス	JP	日本	PL	ポーランド		
CZ	チェコ	KE	ケニア	PT	ポルトガル		
DE	ドイツ	KG	キルギスタン	RO	ルーマニア		
DK	デンマーク	KP	北朝鮮	RU	ロシア		
EE	エストニア	KR	韓国	SD	スーダン		
		KZ	カザフスタン	SE	スウェーデン		
		LC	セントルシア				

## 明 細 書

## 半 導 体 装 置

## 技 術 分 野

本発明は、半導体装置に関し、特に、絶縁層上の半導体層に構成され  
5 た電界効果トランジスタを有する半導体装置に適用して有効な技術に関するものである。

## 背景技術

電界効果トランジスタを有する半導体装置においては、単結晶珪素からなる半導体基板と単結晶珪素からなる薄い半導体層との間に酸化珪素からなる絶縁層が設けられた所謂SOI(Silicon On Insulator)構造の半導体基体を使用し、この半導体基体の半導体層に電界効果トランジスタを構成する試みがなされている。電界効果トランジスタは、チャンネル形成領域(ボディ領域)、ゲート絶縁膜、ゲート電極、ソース領域及びドレイン領域である一対の半導体領域を有し、ソース領域及びドレイン領域である一対の半導体領域の夫々の底部を半導体基体の絶縁層に接触させた構造で構成されている。この電界効果トランジスタは、一対の半導体領域の夫々の底部の接触面積に相当する分、ソース領域及びドレイン領域に付加されるpn接合容量(寄生容量)を低減できるので、スイッチング速度の高速化を図ることができる。  
15  
20

ところで、前記電界効果トランジスタは、チャンネル形成領域が一対の半導体領域及び半導体基体の絶縁層で周囲を囲まれているため、通常の

バルク基板からなる半導体基体に電界効果トランジスタを構成した場合に比べて閾値電圧( $V_{th}$ )が低くなる。そこで、チャネル形成領域が完全に空乏化されず、一部が中性領域として残っている部分空乏型の電界効果トランジスタにおいては、半導体基体の半導体層にチャネル形成領域  
5 と電氣的に接続された給電用コンタクト領域(ボディ電極)を設け、この給電用コンタクト領域に電位を印加して閾値電圧を変える方法が提案されている。この方法については、例えば、1997 IEEE International Solid-State Circuit Conference, Digest of Technical Papers, 68-69 TP 4.3 [A 1V 46ns 16Mb SOI-D  
10 RAM with Body Control Technique] に開示されている。

また、チャネル形成領域が完全に空乏化される完全空乏型の電界効果トランジスタにおいては、チャネル形成領域と対向して半導体基体の絶縁層下にバックゲート電極を設け、このバックゲート電極に電位を印加して閾値電圧を変える方法が提案されている。この方法については、特  
15 開平7-131025号公報に開示されている。

しかしながら、本発明等は、前述の技術について検討した結果、以下の問題点を見出した。

(1) 前記部分空乏型の電界効果トランジスタにおいて、例えばnチャネル導電型の場合、p型のチャネル形成領域はゲート電界及びソース・  
20 ドレインの電位により空乏化領域が生じ、一部が中性領域となっている。ゲート電極に $V_{GS}$ 電位、一方の半導体領域に $V_S$ 電位( $=0[V]$ )、他方の半導体領域に $V_{DS}$ 電位( $\geq V_S$ 電位)、給電用コンタクト領域に $V_{Sub}$ 電位( $\leq 0[V]$ )を印加すると、チャネル電流が流れ、ドレイン近傍の高電界領域でエレクトロンとホールが発生する。エレクトロンは

- より高電位のドレイン領域に流れるが、ホールは電位の低い中性領域に流れ込む。このホールは中性領域を通して給電用コンタクト領域に引き抜かれるが、中性領域の抵抗が高いので、中性領域の電位が高くなる。中性領域の電位が高いと、バイポーラ動作によりソースからエレクトロンがチャンネルに流れるので、ドレイン近傍の高電界領域でホールの発生が増加する。これらの一連のメカニズムが循環することにより中性領域の電位が益々増加するので、結果としてドレイン耐圧が低くなるという問題がある。また、閾値電圧が不安定になるという問題がある。これらの問題は p チャンネル導電型においても同様に生じる。
- 5
- 10 (2) 前記完全空乏型の電界効果トランジスタにおいて、例えば n チャンネル導電型の場合、チャンネル形成領域が全て空乏化されているため、ドレイン近傍の高電界領域で発生したホールの逃げ道がない。このため、発生したホールの全てがソース領域に流れることになるので、バイポーラ動作によりドレイン耐圧が低くなるという問題がある。また、チャンネル形成領域の全てが空乏化しているため、閾値電圧を高くできないという問題がある。特開平 1-115394 号公報には、完全空乏型の電界効果トランジスタの閾値をバックゲートバイアスで変化させる方法が開示されているが、詳細な検討の結果、マイナスのバックゲート電位により、チャンネル形成領域の下層部(低面部)のポテンシャルが下がるため、
- 15
- 20 ドレイン近傍で発生したホールがチャンネル形成領域の下層部に蓄積され、閾値電圧が不安定になる。これらの問題は、p チャンネル導電型においても同様に生じる。

(3) 前記部分空乏型の電界効果トランジスタ及び完全空乏型の電界効果トランジスタは、前述のように、閾値電圧が低く、ドレイン耐圧も低

い。このため、閾値電圧を安定した状態で変化させることができないので、スタンバイ電流が大きく、スタンバイ電流テストを行うことができない。また、ドレイン耐圧が低いので、高電圧のエージングを行うことができない。

- 5      本発明の目的は、絶縁層上の半導体層に構成された電界効果トランジスタのドレイン耐圧を高めることが可能な技術を提供することにある。

本発明の他の目的は、絶縁層上の半導体層に構成された電界効果トランジスタの閾値電圧の安定化を図ることが可能な技術を提供することにある。

- 10     本発明の他の目的は、絶縁層上の半導体層に構成された電界効果トランジスタの閾値電圧を安定した状態で変化させることが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

15

#### 発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

- 20     絶縁層上の半導体層に構成された電界効果トランジスタを有する半導体装置であって、前記電界効果トランジスタのチャネル形成領域と電氣的に接続されるボディ電極と、前記電界効果トランジスタのチャネル形成領域と対向して前記絶縁層下に設けられるバックゲート電極とを備えている。

部分空乏型電界効果トランジスタの場合、前記ボディ電極、前記パッ

クゲート電極の夫々には、前記電界効果トランジスタのチャンネル形成領域の上層部に形成されるチャンネルと反対導電型の電荷を前記バックゲート電極と対向する前記半導体層の下層部に誘起する電位が印加される。

- 完全空乏型電界効果トランジスタの場合、前記ボディ電極には、前記
- 5 電界効果トランジスタのチャンネル形成領域の上層部に形成されるチャンネルと反対導電型のキャリアを引き抜く電位（ $n$ チャンネル導電型の場合、負電位）が印加され、前記バックゲート電極には、前記電界効果トランジスタのチャンネル形成領域の上層部に形成されるチャンネルと反対導電型の電荷を前記バックゲート電極と対向する前記半導体層の下層部に誘起
- 10 する電位が印加される。

上述した手段によれば、以下の作用効果が得られる。

- （１）部分空乏型電界効果トランジスタの場合、チャンネル形成領域の下層部（底面部）に、その上層部に形成されるチャンネルと反対導電型のチャンネルが形成される。ドレイン近傍の高電界領域で発生したキャリア（ $n$
- 15 チャンネル導電型の場合はホール、 $p$ チャンネル導電型の場合はエレクトロン）は、チャンネル形成領域の下層部に形成されたチャンネルを通してボディ電極に流れるため、チャンネル形成領域の中性領域の電位の上昇を抑制できる。従って、部分空乏型の電界効果トランジスタのドレイン耐圧を高くすることができる。また、閾値電圧の安定化を図ることができる。
- 20 また、ドレイン耐圧を高くすることができるので、高電圧のエージングを行うことができる。

また、ドレイン耐圧を高くすることができ、閾値電圧の安定化を図ることができるので、部分空乏型の電界効果トランジスタの閾値電圧を安定した状態で変化させることができる。

また、部分空乏型の電界効果トランジスタの閾値電圧( $V_{th}$ )を安定した状態で変化させることができるので、スタンバイ時のリーク電流テストを行うことができる。

(2) 完全空乏型の電界効果トランジスタの場合、ドレイン近傍の高電  
5 界領域で発生したキャリア(nチャネル導電型の場合はホール、pチャネル導電型の場合はエレクトロン)はボディ電極に引き抜かれるため、キャリアがソース領域に流れることはない。従って、バイポーラ動作が生じないので、完全空乏型の電界効果トランジスタのドレイン耐圧を高くすることができる。また、閾値電圧の安定化を図ることができる。

10 また、ドレイン耐圧を高くすることができるので、高電圧のエージングを行うことができる。

また、チャンネル形成領域の上層部に形成されるチャンネルと反対導電型のキャリアをボディ電極で引き抜くので、バックゲート電極の電位によって完全空乏型電界効果トランジスタの閾値電圧を安定した状態で変化  
15 させることができる。

また、完全空乏型の電界効果トランジスタの閾値電圧( $V_{th}$ )を安定した状態で変化させることができるので、スタンバイ時のリーク電流テストを行うことができる。

なお、前記完全空乏型電界効果トランジスタにおいて、ボディ電極に  
20 チャンネル形成領域の上層部に形成されるチャンネルと反対導電型の電荷を注入する電位を印加すると完全空乏型にならず、部分空乏型となる。この場合、前記部分空乏型電界効果トランジスタで述べたように、ボディ電極の電位により閾値電圧を変化させることができる。



### 図面の簡単な説明

- 第 1 図は本発明の実施形態 1 である半導体装置の要部平面図である。
- 第 2 図は、前記半導体装置の要断部断面図である。
- 第 3 図は、前記半導体装置の要断部断面図である。
- 5 第 4 図は本発明の実施形態 2 である半導体装置の要部平面図である。
- 第 5 図は、前記半導体装置の要部断面図である。
- 第 6 図は、ボディ電極及びバックゲート電極に印加される電位と閾値電圧との関係を示す図である。
- 第 7 図は本発明の実施形態 3 である半導体装置の要部平面図である。
- 10 第 8 図は、第 7 図に示す E - E 線の位置で切った要部断面図である。
- 第 9 図は、第 7 図における各半導体領域のレイアウトを示す要部平面図である。
- 第 10 図は、前記半導体装置の製造方法を説明するための要部断面図である。
- 15 第 11 図は、前記半導体装置の製造方法を説明するための要部断面図である。
- 第 12 図は、前記半導体装置の製造方法を説明するための要部断面図である。
- 第 13 図は、本発明の実施形態 4 である半導体装置の要部平面図であ
- 20 る。
- 第 14 図は、第 13 図に示す F - F 線の位置で切った要部断面図である。
- 第 15 図は、前記半導体装置の製造方法を説明するための要部断面図である。

第 16 図は、前記半導体装置の製造方法を説明するための要部断面図である。

第 17 図は、前記半導体装置の製造方法を説明するための要部断面図である。

5 第 18 図は、前記半導体装置の製造方法を説明するための要部断面図である。

第 19 図は、前記半導体装置の製造方法を説明するための要部断面図である。

10 第 20 図は、本発明の実施形態 5 である半導体装置の要部平面図である。

第 21 図は、本発明の実施形態 6 である RISC プロセッサ（半導体装置）の動作モードを表わすブロック図である。

第 22 図は、タイミングチャート図である。

第 23 図は、タイミングチャート図である。

15

発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態を詳細に説明する。

（実施形態 1）

20 本実施形態では、部分空乏型の電界効果トランジスタを有する半導体装置に本発明を適用した例について説明する。

第 1 図は本発明の実施形態 1 である半導体装置の要部平面図であり、第 2 図及び第 3 図は前記半導体装置の要部断面図であり、第 2 図の (A) 図及び第 3 図の (C) 図は第 1 図に示す A-A 線の位置で切った断面図であり、第 2 図の (B) 図及び第 3 図の (D) 図は第 1 図に示す B-B 線の位

置で切った断面図である。なお、第 1 図において、図を見易くするため、後述するゲート電極 4 よりも上層は図示を省略している。また、第 2 図及び第 3 図において、図を見易くするため、後述する配線 (10A, 10B, 10C) よりも上層は図示を省略している。

- 5     第 1 図及び第 2 図に示すように、半導体装置は半導体基体 1 を主体とする構成になっている。半導体基体 1 は、単結晶珪素からなる p 型半導体基板 1A と単結晶珪素からなる半導体層 1C との間に酸化珪素膜からなる絶縁層 1B が設けられた所謂 SOI (Silicon On Insulator) 構造で構成されている。
- 10     前記半導体層 1C の素子間分離領域上には例えば酸化珪素膜からなるフィールド絶縁膜 2 が設けられている。このフィールド絶縁膜 2 で周囲を規定された半導体層 1C の素子形成領域には電界効果トランジスタ Qn が構成されている。本実施形態において、電界効果トランジスタ Qn は部分空乏型で構成されている。
- 15     前記電界効果トランジスタ Qn が構成される半導体層 1C の領域には不純物としてボロン(B)が導入され、p 型半導体領域として構成されている。
- 20     前記電界効果トランジスタ Qn は、主に、p 型半導体層 1C からなるチャネル形成領域 1C、ゲート絶縁膜 3、ゲート電極 4、ソース領域及びドレイン領域である一対の n 型半導体領域 6 で構成されている。即ち、電界効果トランジスタ Qn は n チャネル導電型で構成されている。ゲート絶縁膜 3 は例えば熱酸化珪素膜で形成されている。ゲート電極 4 は例えば不純物としてリン(P)が導入された多結晶珪素膜で形成されている。ソース領域及びドレイン領域である一対の n 型半導体領域 6 は、ゲート

電極 4 に対して自己整合で形成され、p 型半導体層 1 C に設けられている。

前記電界効果トランジスタ Q n は、ソース領域及びドレイン領域である一対の n 型半導体領域 6 の夫々の底部を半導体基体 1 の絶縁層 1 B に  
5 接触させた構造で構成されている。この電界効果トランジスタ Q n は、一対の n 型半導体領域 6 の夫々の底部の接触面積に相当する分、ソース領域及びドレイン領域に付加される p n 接合容量(寄生容量)を低減できるので、スイッチング速度の高速化を図ることができる。

前記電界効果トランジスタ Q n は、チャネル形成領域が一対の n 型半  
10 導体領域 6 及び半導体基体 1 の絶縁層 1 B で周囲を囲まれている。

前記 p 型半導体層 1 C には、ボディ電極である p 型半導体領域 8 が設けられている。この p 型半導体領域 8 は、p 型半導体層 1 C の不純物濃度に比べて高不純物濃度に設定され、電界効果トランジスタ Q n のチャネル形成領域と電氣的に接続されている。

15 前記 p 型半導体基板 1 A の主面には、バックゲート電極である p 型半導体領域 5 が設けられている。p 型半導体領域 5 は、p 型半導体基板 1 A の不純物濃度に比べて高不純物濃度に設定され、絶縁層 1 B と接触するように設けられている。また、p 型半導体領域 5 は、電界効果トランジスタ Q n が構成された p 型半導体層 1 C と対向するように設けられて  
20 いる。即ち、バックゲート電極である p 型半導体領域 5 は、電界効果トランジスタ Q n のチャネル形成領域、ボディ電極である p 型半導体領域 8 の夫々と対向するように設けられている。

前記一対の n 型半導体領域 6 のうち、一方の n 型半導体領域 6 には層間絶縁膜 9 に形成された接続孔を通して配線 10 A が電氣的に接続され、

他方のn型半導体領域6には層間絶縁膜9に形成された接続孔を通して配線10Bが電氣的に接続されている。配線10Aには $V_S$ 電位( $=0$  [V])が印加され、配線10Bには $V_{DS}$ 電位( $\geq V_S$ 電位)が印加される。即ち、一方のn型半導体領域6には $V_S$ 電位が印加され、他方の  
5 n型半導体領域6には $V_S$ 電位よりも高い $V_{DS}$ 電位が印加される。なお、ゲート電極4には $V_{GS}$ 電位が印加される。

前記ボディ電極であるp型半導体領域8には層間絶縁膜9に形成された接続孔を通して配線10Cが電氣的に接続されている。配線10Cには $V_S$ 電位及び $V_{DS}$ 電位よりも低い $V_{Sub}$ 電位( $\leq 0$  [V])が印加さ  
10 れる。即ち、ボディ電極であるp型半導体領域8には $V_{Sub}$ 電位が印加される。

前記バックゲート電極であるp型半導体領域5には $V_S$ 電位及び $V_{DS}$ 電位よりも低い $V_{BG}$ 電位( $< 0$  [V])が印加される。この $V_{BG}$ 電位は半導体基体1の主面側から供給される。

15 前記半導体装置において、電界効果トランジスタ $Q_n$ のチャネル形成領域は、ゲート電界及びソース・ドレインの電位により空乏化領域7Aが生じ、一部が中性領域7Bとなっている。ゲート電極4に $V_{GS}$ 電位、一方のn型半導体領域6に $V_S$ 電位( $=0$  [V])、他方のn型半導体領域6に $V_{DS}$ 電位( $\geq V_S$ 電位)、ボディ電極であるp型半導体領域8に  
20  $V_{Sub}$ 電位( $\leq 0$  [V])、バックゲート電極であるp型半導体領域5に $V_{BG}$ 電位( $< 0$  [V])を印加すると、第3図に示すように、バックゲート電極であるp型半導体領域5と対向するp型半導体層1Cの下層部(底面部)に、電界効果トランジスタ $Q_n$ のチャネル形成領域の上層部に形成されるチャネルと反対導電型のチャネル11が形成される。本実施

形態において、バックゲート電極である p 型半導体領域 5 は電界効果トランジスタ  $Q_n$  のチャネル形成領域、ボディ電極である p 型半導体領域 8 の夫々と対向して設けられているので、電界効果トランジスタ  $Q_n$  のチャネル形成領域、ボディ電極である p 型半導体領域 8 の夫々は、チャネル 11 を介して互いに連結された状態となる。ドレイン近傍の高電界領域で発生したホールは、チャネル形成領域の下層部に形成されたチャネル 11 を通ってボディ電極である p 型半導体領域 8 に流れるため、チャネル形成領域の中性領域 7B の電位の上昇を抑制できる。従って、部分空乏型の電界効果トランジスタ  $Q_n$  のドレイン耐圧を高くすることができる。また、閾値電圧 ( $V_{th}$ ) の安定化を図ることができる。

また、ドレイン耐圧を高くすることができるので、高電圧のエージングを行うことができる。エージングは、バックゲート電極に若しくはバックゲート電極とボディ電極に電位を印加した状態で行う。エージングとは、顧客での使用条件に比べて過酷な使用条件(負荷を与えた状態)において半導体装置の回路動作を行い、顧客での使用中に欠陥になるもの、ある意味では欠陥を加速的に発生せしめ、顧客に出荷する前の初期段階において不良品の排除を行う選別試験である。

また、ドレイン耐圧を高くことができ、閾値電圧 ( $V_{th}$ ) の安定化を図ることができるので、部分空乏型の電界効果トランジスタ  $Q_n$  の閾値電圧 ( $V_{th}$ ) を安定した状態に変化させることができる。

また、部分空乏型の電界効果トランジスタの閾値電圧を安定した状態に変化させることができるので、スタンバイ時のリーク電流テストを行うことができる。リーク電流テストは、電界効果トランジスタの閾値電圧を大きくするように、バックゲート電極に若しくはバックゲート電極

とボディ電極に電位を印加した状態で行う。

また、バックゲート電極、若しくはバックゲート電極とボディ電極の電位を経時的に変化させ、電界効果トランジスタ $Q_n$ の特性を変動させることができる。

- 5      なお、本実施形態では $n$ チャネル導電型の電界効果トランジスタについて説明したが、本発明は $p$ チャネル導電型の電界効果トランジスタにおいても同様の効果が得られる。

(実施形態2)

- 10      本実施形態では、完全空乏型の電界効果トランジスタを有する半導体装置に本発明を適用した例について説明する。

- 15      第4図は本発明の実施形態である半導体装置の要部平面図であり、第5図は前記半導体装置の要部断面図であり、第5図の(A)図は第4図に示すC-C線の位置で切った断面図であり、第5図の(B)図は第4図に示すD-D線の位置で切った断面図である。なお、第4図において、図を見易くするため、後述するゲート電極4よりも上層は図示を省略している。また、第5図において、図を見易くするため、後述する配線(10A, 10B, 10C)よりも上層は図示を省略している。

- 20      第4図及び第5図に示すように、本実施形態の半導体装置は、前述の実施形態1とほぼ同一の構成になっている。本実施形態において、前述の実施形態と異なる点は、電界効果トランジスタ $Q_n$ が完全空乏型で構成され、 $p$ 型半導体層1Cの厚さが前述の実施形態1の $p$ 型半導体層1Cに比べて薄くなっている。また、バックゲート電極である $p$ 型半導体領域5には $V_{BG}$ 電位( $< 0$  [V])が印加され、ボディ電極である $p$ 型半導体領域8には $V_{Sub}$ 電位( $\geq 0$  [V])が印加される。

本実施形態の電界効果トランジスタ  $Q_n$  は、完全空乏型で構成されている。ゲート電極 4 に  $V_{SG}$  電位 ( $> V_{th}$ )、一方の  $n$  型半導体領域 6 に  $V_S$  電位 ( $0 [V]$ )、他方の  $n$  型半導体領域 6 に  $V_{DS}$  電位 ( $\geq V_S$  電位)、ボディ電極である  $p$  型半導体領域 8 に  $V_{Sub}$  電位 ( $\geq 0 [V]$ )、バックゲート電極である  $p$  型半導体領域 5 に  $V_{BG}$  電位 ( $\leq 0 [V]$ ) 電位を印加すると、ドレイン近傍の高電界領域で発生したホールはボディ電極に引き抜かれるため、ホールがソース領域に流れることはない。従って、バイポーラ動作が生じないので、完全空乏型の電界効果トランジスタ  $Q_n$  のドレイン耐圧を高くすることができる。また、閾値電圧の安定化を図ることができる。

また、ドレイン耐圧を高くすることができるので、高電圧のエージングを行うことができる。エージングは、バックゲート電極に若しくはバックゲート電極とボディ電極に電位を印加した状態で行う。

また、チャネル形成領域の上層部に形成されるチャネルと反対導電型のキャリアをボディ電極で引き抜くので、バックゲート電極 ( $p$  型半導体領域 5) の電位によって完全空乏型の電界効果トランジスタ  $Q_n$  の閾値電圧 ( $V_{th}$ ) を安定した状態に変化させることができる。

また、部分空乏型の電界効果トランジスタの閾値電圧を安定した状態で変化させることができるので、スタンバイ時のリーク電流テストを行うことができる。リーク電流テストは、電界効果トランジスタの閾値電圧を大きくするように、バックゲート電極に若しくはバックゲート電極とボディ電極に電位を印加した状態で行う。

また、バックゲート電極、若しくはバックゲート電極とボディ電極の電位を経時的に変化させ、電界効果トランジスタ  $Q_n$  の特性を変動させ



ることができる。

なお、本実施形態の完全空乏型電界効果トランジスタ  $Q_n$  において、ボディ電極(p型半導体領域8)にチャネル形成領域の上層部に形成されるチャネルと反対導電型の電荷を注入する電位を印加すると完全空乏型  
5 にならず、部分空乏型となる。この場合、前述の実施形態1の部分空乏型電界効果トランジスタで述べたように、ボディ電極の電位により閾値電圧( $V_{th}$ )を変化させることができる。

第6図は、完全空乏型の電界効果トランジスタ  $Q_n$  において、ボディ電極及びバックゲート電極に印加される電位と閾値電圧との依存性を調べた結果である。ボディ電極であるp型半導体領域8にマイナスの電位を印加することにより、バックゲート電極の印加による閾値電圧の論理的値にまで閾値電圧を変化させることができる。第6図において、 $L_g = 0.15 [\mu m]$  は、ゲート電極4のゲート長であり、 $t_{ox} = 3.5 [nm]$  は、ゲート絶縁膜3の膜厚であり、 $t_{Si} = 50 [nm]$  は、p  
10 型半導体層1Cの膜厚であり、 $N_a = 2 \times 10^{17} [atoms/cm^3]$  は、p型半導体層1Cの不純物濃度であり、 $t_{box} = 100 [nm]$  は、絶縁層1Bの膜厚である。

第6図の傾斜部分の電位をバックゲート電極とボディ電極に印加した場合、チャネル形成領域の下層部(底面部)に、その上層部に形成される  
20 チャネルと反対導電型のチャネルが形成されるので、部分空乏型の電界効果トランジスタとなっている。チャネル形成領域の下層部の電位がボディ電極であるp型半導体領域8の電位と等しくなるまでホールが引き抜かれる若しくはp型半導体領域8からホールが注入されるので、チャネル形成領域のポテンシャルが安定であり、閾値電圧も安定である。

なお、本実施形態ではnチャネル導電型の電界効果トランジスタについて説明したが、本発明はpチャネル導電型の電界効果トランジスタにおいても同様の効果が得られる。

(実施形態3)

- 5 本実施形態では、完全空乏型の電界効果トランジスタを有する半導体装置に本発明を適用した例について説明する。

第7図は本発明の実施形態である半導体装置の要部平面図であり、第8図は第7図に示すE-E線の位置で切った断面図であり、第9図は第7図における各半導体領域のレイアウトを示す平面図である。なお、第10 7図において、図を見易くするため、後述するゲート電極27よりも上層は図示を省略している。また、第8図において、図を見易くするため、後述する配線33Aよりも上層は図示を省略している。

第7図及び第8図に示すように、半導体装置は半導体基体20を主体とする構成になっている。半導体基体20は、単結晶珪素からなるp型半導体基板20Aと単結晶珪素からなる半導体層20Cとの間に酸化珪素膜からなる絶縁層20Bが設けられた所謂SOI (Silicon On Insulator) 構造で構成されている。

前記半導体層20Cの素子間分離領域上には例えば酸化珪素膜からなるフィールド絶縁膜21が設けられている。このフィールド絶縁膜2120 で周囲を規定された半導体層20Cの素子形成領域にはnチャネル導電型の電界効果トランジスタQn及びpチャネル導電型の電界効果トランジスタQpが構成されている。本実施形態において、nチャネル導電型の電界効果トランジスタQn、pチャネル導電型の電界効果トランジスタQpの夫々は完全空乏型で構成されている。

前記電界効果トランジスタ  $Q_n$  は、半導体層 20 C に設けられた p 型半導体領域 25 A に構成されている。この電界効果トランジスタ  $Q_n$  は、主に、p 型半導体領域 25 A からなるチャネル形成領域、ゲート絶縁膜 22、ゲート電極 27、ソース領域及びドレイン領域である一対の n 型半導体領域 28 で構成されている。ゲート絶縁膜 22 は例えば熱酸化珪素膜で形成されている。ゲート電極 27 は例えば多結晶珪素膜 23 及びこの多結晶珪素膜 23 上に設けられた W/TiN 膜 26 で形成されている。多結晶珪素膜 23 には抵抗値を低減する不純物として例えば磷 (P) が導入されている。

10 前記電界効果トランジスタ  $Q_p$  は、半導体層 20 C に設けられた n 型半導体領域 25 B に構成されている。この電界効果トランジスタ  $Q_p$  は、主に、n 型半導体領域 25 B からなるチャネル形成領域、ゲート絶縁膜 22、ゲート電極 27、ソース領域及びドレイン領域である一対の p 型半導体領域 30 で構成されている。ゲート絶縁膜 22 は例えば熱酸化珪素膜で形成されている。ゲート電極 27 は例えば多結晶珪素膜 23 及びこの多結晶珪素膜 23 上に設けられた W/TiN 膜 26 で形成されている。この多結晶珪素膜 23 には抵抗値を低減する不純物として例えばボロン (B) が導入されている。

前記電界効果トランジスタ  $Q_n$  は、ソース領域及びドレイン領域である一対の n 型半導体領域 28 の夫々の底部を半導体基体 20 の絶縁層 20 B に接触させた構造で構成されている。この電界効果トランジスタ  $Q_n$  は、一対の n 型半導体領域 28 の夫々の底部の接触面積に相当する分、ソース領域及びドレイン領域に付加される pn 接合容量 (寄生容量) を低減できるので、スイッチング速度の高速化を図ることができる。

前記電界効果トランジスタ  $Q_n$  のチャネル形成領域は、ソース領域及びドレイン領域である一対の  $n$  型半導体領域 28 及び半導体基体 20 の絶縁層 20B で周囲を囲まれている。

前記電界効果トランジスタ  $Q_p$  は、ソース領域及びドレイン領域である一対の  $p$  型半導体領域 30 の夫々の底部を半導体基体 20 の絶縁層 20B に接触させた構造で構成されている。この電界効果トランジスタ  $Q_p$  は、一対の  $p$  型半導体領域 30 の夫々の底部の接触面積に相当する分、ソース領域及びドレイン領域に付加される  $p-n$  接合容量(寄生容量)を低減できるので、スイッチング速度の高速化を図ることができる。

10 前記電界効果トランジスタ  $Q_p$  のチャネル形成領域は、ソース領域及びドレイン領域である一対の  $p$  型半導体領域 30 及び半導体基体 20 の絶縁層 20B で周囲を囲まれている。

前記  $p$  型半導体領域 25A には、第 7 図、第 8 図及び第 9 図に示すように、ボディ電極である  $p$  型半導体領域 31 が設けられている。この  $p$  15 型半導体領域 31 は、 $p$  型半導体領域 25A の不純物濃度に比べて高不純物濃度に設定され、電界効果トランジスタ  $Q_n$  のチャネル形成領域と電氣的に接続されている。

前記  $n$  型半導体領域 25B には、ボディ電極である  $n$  型半導体領域 29 が設けられている。この  $n$  型半導体領域 29 は、 $n$  型半導体領域 25 20 B の不純物濃度に比べて高不純物濃度に設定され、電界効果トランジスタ  $Q_p$  のチャネル形成領域と電氣的に接続されている。

前記  $p$  型半導体基板 20A の主面には、バックゲート電極である  $p$  型半導体領域 24A が設けられている。 $p$  型半導体領域 24A は、 $p$  型半導体基板 20A の不純物濃度に比べて高不純物濃度に設定され、絶縁層

20 Bと接触するように設けられている。また、p型半導体領域24 Aは、電界効果トランジスタQ nが構成されたp型半導体領域25 Aと対向するように設けられている。即ち、バックゲート電極であるp型半導体領域24 Aは、電界効果トランジスタQ nのチャネル形成領域、ボディ電極であるp型半導体領域31の夫々と対向するように設けられている。

前記p型半導体基板20 Aの主面には、バックゲート電極であるn型半導体領域24 Bが設けられている。n型半導体領域24 Bは、p型半導体基板20 Aの不純物濃度に比べて高不純物濃度に設定され、絶縁層20 Bと接触するように設けられている。また、n型半導体領域24 Bは、電界効果トランジスタQ pが構成されたn型半導体領域25 Bと対向するように設けられている。即ち、バックゲート電極であるn型半導体領域24 Bは、電界効果トランジスタQ pのチャネル形成領域、ボディ電極であるn型半導体領域29の夫々と対向するように設けられている。

前記電界効果トランジスタQ nの一对のn型半導体領域28のうち、一方のn型半導体領域28には層間絶縁膜32に形成された接続孔を通して配線33 Aが電氣的に接続され、他方のn型半導体領域28には層間絶縁膜32に形成された接続孔を通して配線33 Cが電氣的に接続されている。

前記電界効果トランジスタQ pの一对のp型半導体領域30のうち、一方のp型半導体領域30には層間絶縁膜32に形成された接続孔を通して配線33 Bが電氣的に接続され、他方のp型半導体領域30には層間絶縁膜32に形成された接続孔を通して配線33 Cが電氣的に接続さ

れている。

前記電界効果トランジスタ  $Q_n$ 、 $Q_p$  の夫々のゲート電極 27 は、互いに電氣的に接続されている。即ち、半導体装置は、電界効果トランジスタ  $Q_n$ 、 $Q_p$  の夫々で構成されたインバータ回路を搭載している。

- 5 前記ボディ電極である p 型半導体領域 31 には層間絶縁膜 32 に形成された接続孔を通して配線 33D が電氣的に接続されている。前記バックゲート電極である p 型半導体領域 24A には、層間絶縁膜 32 から絶縁層 20B に亘って形成された接続孔を通して配線 33D が電氣的に接続されている。即ち、ボディ電極である p 型半導体領域 31、バックゲート電極である p 型半導体領域 24A の夫々には同一の電位が印加される。

- 15 前記ボディ電極である n 型半導体領域 29 には層間絶縁膜 32 に形成された接続孔を通して配線 33E が電氣的に接続されている。前記バックゲート電極である n 型半導体領域 24B には、層間絶縁膜 32 から絶縁層 20B に亘って形成された接続孔を通して配線 33E が電氣的に接続されている。即ち、ボディ電極である n 型半導体領域 29、バックゲート電極である n 型半導体領域 24B の夫々には同一の電位が印加される。

- 20 前記配線 33A には  $V_S$  電位が印加され、配線 33B には  $V_{SD}$  電位 ( $\geq V_S$  電位) が印加され、配線 33D には  $V_{subp}$  電位 ( $\leq 0 [V]$ ) が印加され、配線 33E には  $V_{subn}$  電位 ( $> V_{subp}$  電位) が印加され、配線 33C には入力信号が印加される。なお、 $V_{subp}$  電位  $\leq V_S$  電位、 $V_{subn}$  電位  $\geq V_{DS}$  電位であり、又、 $V_{subp}$  電位  $< V_{subn}$  電位であり、n 型半導体領域 24B と p 型半導体領域 24A 及び p 型半導体基板 20A とは

逆バイアスの関係にある。

次に、前記半導体装置の製造方法について、第10図乃至第12図(製造方法を説明するための要部断面図)を用いて説明する。

まず、第10図の(A)図に示すように、単結晶珪素からなるp型半導体基板20Aと単結晶珪素からなる半導体層20Cとの間に酸化珪素膜からなる絶縁層20Bが設けられたSOI構造の半導体基体20を用意する。p型半導体基板20Aは、 $1.5 \times 10^{15}$  [atoms/cm<sup>3</sup>]程度の不純物濃度に設定されている。絶縁層20Bは100 [nm]程度の厚さに設定されている。半導体層20Cは50 [nm]程度の膜厚に設定され、不純物はドーピングされていない。

次に、前記半導体層20C上の全面に100 [nm]程度の膜厚の酸化珪素膜からなるフィールド絶縁膜21をCVD法で形成し、その後、フィールド絶縁膜21にパターンニングを施して、第10図の(B)図に示すように、半導体層20Cの素子形成領域及びボディ電極形成領域を開口する。フィールド絶縁膜21のパターンニングはホトレジスト膜をマスクにして行う。

次に、熱酸化処理を施し、半導体層20Cの素子形成領域上に3.5 [nm]程度の膜厚の熱酸化珪素膜からなるゲート絶縁膜22を形成する。熱酸化処理は、900 [°C]の分圧スチーム雰囲気中にて行う。

次に、第11図の(C)図に示すように、前記ゲート絶縁膜22上を含む半導体基体20上の全面に100 [nm]程度の膜厚の多結晶珪素膜23をCVD法で形成する。

次に、前記半導体層20Cのpチャネル導電型電界効果トランジスタ形成領域と対向する前記多結晶珪素膜23に不純物としてボロンをイオ

ン打込み法で選択的に導入し、その後、前記半導体層 2 0 C の n チャネル導電型電界効果トランジスタ形成領域と対向する前記多結晶珪素膜 2 3 に不純物として燐をイオン打込み法で選択的に導入する。ボロンの導入は、最終的な導入量が  $2 \times 10^{15}$  [atoms/cm<sup>2</sup>] 程度、導入時のエネルギー量が 7 [KeV] 程度の条件下で行う。燐の導入は、最終的な導入量が  $2 \times 10^{15}$  [atoms/cm<sup>2</sup>] 程度、導入時のエネルギー量が 2 0 [KeV] 程度の条件下で行う。ボロンの導入は p チャネル導電型電界効果トランジスタのゲート電極を p 型化する目的で行い、燐の導入は n チャネル導電型電界効果トランジスタのゲート電極を n 型化する目的で行う。

- 10 次に、CMP (Chemical Mechanical Polishing) 法を使用し、前記フィールド絶縁膜 2 1 上の多結晶珪素膜 2 3 を除去する。

次に、前記半導体層 2 0 C の n チャネル導電型電界効果トランジスタ形成領域と対向する前記 p 型半導体基板 2 0 A に、不純物としてボロン (B) をイオン打込み法で選択的に導入し、バックゲート電極である p 型半導体領域 2 4 A を形成する。ボロンの導入は、最終的な導入量が  $5 \times 10^{12}$  [atoms/cm<sup>2</sup>] 程度、導入時のエネルギー量が 1 2 0 [KeV] 程度の条件下で行う。このボロンの導入はホトレジスト膜をマスクにして行う。

次に、前記半導体層 2 0 C の p チャネル導電型電界効果トランジスタ形成領域と対向する前記 p 型半導体基板 2 0 A に、不純物として燐 (P) をイオン打込み法で選択的に導入し、バックゲート電極である n 型半導体領域 2 4 B を形成する。燐の導入は、最終的な導入量が  $5 \times 10^{12}$  [atoms/cm<sup>2</sup>] 程度、導入時のエネルギー量が 2 6 0 [KeV] 程度の条件下で行う。この燐の導入はホトレジスト膜をマスクにして行う。これにより、



電界効果トランジスタ  $Q_n$  のバックゲート電極、電界効果トランジスタ  $Q_p$  のバックゲート電極の夫々に独立してバックゲート電位を印加することができる。

- 次に、前記半導体層 20 C の n チャネル導電型電界効果トランジスタ
- 5 形成領域に不純物としてボロンをイオン打込み法で選択的に導入し、p 型半導体領域 25 A を形成する。ボロンの導入は、最終的な導入量が  $1.5 \times 10^{12}$  [atoms/cm<sup>2</sup>] 程度、導入時のエネルギー量が 40 [KeV] 程度の条件下で行う。このボロンの導入はホトレジスト膜をマスクにして行う。
- 10 次に、前記半導体層 20 C の p チャネル導電型電界効果トランジスタ形成領域に不純物として燐をイオン打込み法で選択的に導入し、n 型半導体領域 25 B を形成する。燐の導入は、最終的な導入量が  $1.5 \times 10^{12}$  [atoms/cm<sup>2</sup>] 程度、導入時のエネルギー量が 100 [KeV] 程度の条件下で行う。この燐の導入はホトレジスト膜をマスクにして行う。
- 15 この工程により、n チャネル導電型電界効果トランジスタ形成領域における半導体層 20 C の不純物濃度、p チャネル導電型電界効果トランジスタ形成領域における半導体層 20 C の不純物濃度の夫々が約  $2 \times 10^{17}$  [atoms/cm<sup>3</sup>] となり、半導体層 20 C の厚さが 50 [nm] であるため、電界効果トランジスタ  $Q_n$ 、 $Q_p$  の夫々は完全空乏型として動作
- 20 する。ここまでの工程を第 11 図の (D) 図に示す。

次に、第 12 図の (E) 図に示すように、前記多結晶珪素膜 23 上を含む半導体基体 20 上の全面に W/TiN 膜 26 を形成する。W/TiN 膜 26 は、10 [nm] 程度の TiN 膜を反応性スパッタ法で形成し、その後、50 [nm] 程度の W 膜をスパッタ法で形成することにより形

成される。このW/TiN膜26はゲート電極の低抵抗化を図るために形成される。

次に、前記W/TiN膜26、多結晶珪素膜23の夫々に順次パターンニングを施し、半導体層20Cのnチャネル導電型電界効果トランジスタ形成領域上及びpチャネル導電型電界効果トランジスタ形成領域上  
5 にゲート電極27を形成する。このパターンニングはホトレジスト膜をマスクにして行う。

次に、前記p型半導体領域25Aのnチャネル導電型電界効果トランジスタ形成領域及び前記n型半導体領域25Bのボディ電極形成領域に  
10 不純物として燐をイオン打込み法で選択的に導入し、ソース領域及びドレイン領域である一対のn型半導体領域28を形成すると共に、ボディ電極であるn型半導体領域29を形成する。燐の導入は、最終的な導入量が $1.5 \times 10^{15}$  [atoms/cm<sup>2</sup>]程度、導入時のエネルギー量が20 [KeV]程度の条件下で行う。この燐の導入はホトレジスト膜をマスクに  
15 して行う。

次に、前記n型半導体領域25Bのpチャネル導電型電界効果トランジスタ形成領域及び前記p型半導体領域25Aのボディ電極形成領域に不純物としてボロンをイオン打込み法で選択的に導入し、ソース領域及びドレイン領域である一対のp型半導体領域30を形成すると共に、ボ  
20 ディ電極であるp型半導体領域31を形成する。ボロンの導入は、最終的な導入量が $1.5 \times 10^{15}$  [atoms/cm<sup>2</sup>]程度、導入時のエネルギー量が7 [KeV]程度の条件下で行う。この燐の導入はホトレジスト膜をマスクにして行う。

次に、950 [°C]で10 [秒]の熱処理を施し、一対のn型半導体

領域 28、n 型半導体領域 29、一对の p 型半導体領域 30 及び p 型半導体領域 31 を活性化する。ここまでの工程を第 12 図の (F) 図に示す。

次に、前記半導体基体 20 上の全面に層間絶縁膜 32 を形成し、その後、接続孔を形成し、その後、配線 33A、配線 33B、配線 33C、配線 33D、配線 33E の夫々を形成することにより、第 8 図に示す状態となる。

このように、本実施形態では、n チャンネル導電型電界効果トランジスタ  $Q_n$  のチャンネル形成領域と電氣的に接続された p 型半導体領域 31 からなるボディ電極と、n チャンネル導電型電界効果トランジスタ  $Q_n$  のチャンネル形成領域と対向して絶縁層 20B 下に設けられた p 型半導体領域 24A からなるバックゲート電極と、p チャンネル導電型電界効果トランジスタ  $Q_p$  のチャンネル形成領域と電氣的に接続された n 型半導体領域 29 からなるボディ電極と、p チャンネル導電型電界効果トランジスタ  $Q_p$  のチャンネル形成領域と対向して絶縁層 20B 下に設けられた n 型半導体領域 24B からなるバックゲート電極とを備えているので、ボディ電極、バックゲート電極の夫々に電位を印加することにより、n チャンネル導電型電界効果トランジスタ  $Q_n$ 、p チャンネル導電型電界効果トランジスタ  $Q_p$  の夫々のドレイン耐圧を高くすることができると共に、n チャンネル導電型電界効果トランジスタ  $Q_n$ 、p チャンネル導電型電界効果トランジスタ  $Q_p$  の夫々の閾値電圧 ( $V_{th}$ ) の安定化を図ることができる。

また、n チャンネル導電型電界効果トランジスタ  $Q_n$ 、p チャンネル導電型電界効果トランジスタ  $Q_p$  の夫々のドレイン耐圧を高くすることができるので、高電圧のエージングを行うことができる。エージングは、バ

ックゲート電極に若しくはバックゲート電極とボディ電極に電位を印加した状態で行う。

また、チャネル形成領域の上層部に形成されるチャネルと反対導電型のキャリアをp型半導体領域31からなるボディ電極で引き抜くので、  
5 p型半導体領域24Aからなるバックゲート電極の電位によって電界効果トランジスタQnの閾値電圧( $V_{th}$ )を安定した状態に変化されることができると共に、チャネル形成領域の上層部に形成されるチャネルと反対導電型のキャリアをn型半導体領域29からなるボディ電極で引き抜くので、n型半導体領域24Bからなるバックゲート電極の電位によっ  
10 て電界効果トランジスタQpの閾値電圧( $V_{th}$ )を安定した状態に変化させることができる。

また、nチャネル導電型電界効果トランジスタQn、pチャネル導電型電界効果トランジスタQpの夫々の閾値電圧を安定した状態に変化させることができるので、スタンバイ時のリーク電流テストを行うことが  
15 できる。また、動作時にはnチャネル導電型電界効果トランジスタQn、pチャネル導電型電界効果トランジスタQpの夫々の閾値電圧( $V_{th}$ )を下げることににより、高速動作が可能になる。リーク電流テストは、電界効果トランジスタの閾値電圧を大きくするように、バックゲート電極に若しくはバックゲート電極とボディ電極に電位を印加した状態で行う。

20 また、バックゲート電極、若しくはバックゲート電極とボディ電極の電位を経時的に変化させ、電界効果トランジスタQn及び電界効果トランジスタQpの特性を変動させることができる。

第22図(タイミングチャート図)に示すように、スタンバイ時において、pMOS(pチャネル導電型電界効果トランジスタQp)のボディ電

極及びバックゲート電極に  $V_1 = V_{subn}$  電位 ( $> V_{DS}$  電位)、n MOS (nチャネル導電型電界効果トランジスタ  $Q_n$ ) のボディ電極及びバックゲート電極に  $V_2 = V_{subp}$  電位 ( $< V_S$  電位) を印加することにより、p MOS 及び n MOS の  $V_{th}$  (閾値電圧) を高くすることができ、リーク電流を低減することができる。また、動作時には、 $V_{subn}$  電位 =  $V_{DS}$  電位、 $V_{subp}$  電位 =  $V_S$  電位 (0 [V] 電位) にすることにより、通常の動作を行うことができる。

(実施形態 4)

本実施形態では、完全空乏型の電界効果トランジスタを有する半導体装置に本発明を適用した例について説明する。

第 13 図は本発明の実施形態 4 である半導体装置の要部平面図であり、第 14 図は第 13 図に示す F-F 線の位置で切った断面図である。なお、第 13 図において、図を見易くするため、後述するゲート電極 47 よりも上層は図示を省略している。また、第 14 図において、図を見易くするため、後述する配線 57A よりも上層は図示を省略している。

第 13 図及び第 14 図に示すように、本実施形態の半導体装置は、絶縁層 40B によって互いに絶縁分離された p 型半導体層 41A、n 型半導体層 41B の夫々を有し、p 型半導体層 41A には完全空乏型の n チャネル導電型電界効果トランジスタ  $Q_n$  が構成され、n 型半導体層 41B には完全空乏型の p チャネル導電型電界効果トランジスタ  $Q_p$  が構成されている。また、本実施形態の半導体装置は、ボディ電極である p 型半導体領域 55、バックゲート電極である p 型半導体領域 42A の夫々に独立して電位を印加できる構成になっている。また、ボディ電極である n 型半導体領域 51、バックゲート電極である n 型半導体領域 42B

の夫々に独立して電位を印加できる構成になっている。

以下、前記半導体装置の製造方法について、第15図乃至第19図(製造方法を説明するための要部断面図)を用いて説明する。

まず、第15図の(A)図に示すように、単結晶珪素からなるp型半導体基板40Aと単結晶珪素からなる半導体層40Cとの間に酸化珪素膜からなる絶縁層40Bが設けられたSOI構造の半導体基体20を用意する。p型半導体基板40Aは $1.3 \times 10^{15}$  [atoms/cm<sup>3</sup>]程度の不純物濃度に設定されている。絶縁層40Bは100 [nm]程度の厚さに設定されている。半導体層40Cは50 [nm]程度の膜厚に設定され、不純物はドーピングされていない。

次に、前記半導体層40Cの表面上に10 [nm]程度の膜厚の熱酸化珪素膜を形成し、その後、前記熱酸化珪素膜の表面上に30 [nm]程度の膜厚の窒化珪素膜を形成し、その後、前記窒化珪素膜にパターンニングを施して、半導体層40Cのnチャネル導電型電界効果トランジスタ形成領域上及びpチャネル導電型電界効果トランジスタ形成領域上に個々に分離されたマスクMを形成する。

次に、熱酸化処理を施し、マスクMから露出された半導体層40Cの部分を酸化して、互いに絶縁分離された半導体層41A、半導体層41Bの夫々を形成する。ここまでの工程を第15図の(B)図に示す。

次に、フッ酸水溶液を用いたウエットエッチング処理を施し、その後、熱リン酸液を用いたウエットエッチング処理を施して前記マスクMを除去した後、前記半導体層41Aに不純物としてボロン(B)をイオン打込み法で選択的に導入して、 $2 \times 10^{17}$  [atoms/cm<sup>3</sup>]程度の不純物濃度のp型半導体層41Aを形成する。ボロンの導入は、最終的な導入量が1

E 1 2 [atoms/cm<sup>2</sup>] 程度、導入時のエネルギー量が 1 0 [K e v] 程度の条件下で行う。このボロンの導入はホトレジスト膜をマスクにして行う。

次に、前記 p 型半導体層 4 1 A と対向する前記半導体基板 4 0 A の主  
5 面に不純物としてボロンをイオン打込み法で選択的に導入して、バック  
ゲート電極である p 型半導体領域 4 2 A を形成する。ボロンの導入は、  
最終的な導入量が 1 E 1 3 [atoms/cm<sup>2</sup>] 程度、導入時のエネルギー量が  
1 0 0 [K e v] 程度の条件下で行う。このボロンの導入はホトレジス  
ト膜をマスクにして行う。

10 次に、前記半導体層 4 1 B に不純物としてリンをイオン打込み法で選択  
的に導入して、2 E 1 7 [atoms/cm<sup>3</sup>] 程度の不純物濃度の n 型半導体  
層 4 1 B を形成する。リンの導入は、最終的な導入量が 1 E 1 2 [atoms/  
cm<sup>2</sup>] 程度、導入時のエネルギー量が 2 5 [K e v] 程度の条件下で行う。  
このリンの導入はホトレジスト膜をマスクにして行う。

15 次に、前記 n 型半導体層 4 1 B と対向する前記半導体基板 4 0 A の主  
面に不純物としてリンをイオン打込み法で選択的に導入し、バックゲート  
電極である n 型半導体領域 4 2 B を形成する。リンの導入は、最終的な導  
入量が 1 E 1 3 [atoms/cm<sup>2</sup>] 程度、導入時のエネルギー量が 2 4 0 [K  
e v] 程度の条件下で行う。このリンの導入はホトレジスト膜をマスクに  
20 して行う。ここまでの工程を第 1 6 図の (C) 図に示す。

次に、第 1 6 図の (D) 図に示すように、前記 p 型半導体層 4 1 A 上及  
び n 型半導体層 4 1 B 上を含む半導体基体 4 0 上の全面に 1 0 0 [nm]  
程度の膜厚の酸化珪素膜からなフィールド絶縁膜 4 3 を形成し、その後、  
前記フィールド絶縁膜 4 3 にパターンニングを施して、第 1 7 図の (E)

図に示すように、p型半導体層41Aの素子形成領域及びボディ電極形成領域、n型半導体層41Bの素子形成領域及びボディ電極形成領域並びに給電用領域を開口する。フィールド絶縁膜43のパターンニングはホトレジスト膜をマスクにして行う。

- 5 次に、熱酸化処理を施し、p型半導体層41A、n型半導体層41Bの夫々の素子形成領域上に3.5[nm]程度の膜厚の熱酸化珪素膜からなるゲート絶縁膜44を形成する。熱酸化処理は、900[°C]の分圧スチーム雰囲気中にて行う。

- 次に、第17図の(F)図に示すように、前記ゲート絶縁膜44上を含む半導体基体40上の全面に100[nm]程度の膜厚の多結晶珪素膜45をCVD法で形成する。

- 次に、前記p型半導体層41Aと対向する前記多結晶珪素膜45に不純物として燐をイオン打込み法で選択的に導入し、その後、前記n型半導体層41Bと対向する前記多結晶珪素膜45に不純物としてボロンをイオン打込み法で選択的に導入する。燐の導入は、最終的な導入量が1.5E15[atoms/cm<sup>2</sup>]程度、導入時のエネルギー量が15[KeV]程度の条件下で行う。ボロンの導入は、最終的な導入量が1.5E15[atoms/cm<sup>2</sup>]程度、導入時のエネルギー量が5[KeV]程度の条件下で行う。燐の導入はnチャネル導電型電界効果トランジスタのゲート電極をn型化する目的で行い、ボロンの導入はpチャネル導電型電界効果トランジスタのゲート電極をp型化する目的で行う。

次に、CMP(Chemical Mechanical Polishing)法を使用し、前記フィールド絶縁膜43上の多結晶珪素膜45を除去する。

次に、第18図の(G)図に示すように、前記多結晶珪素膜45上を含む



む半導体基体 40 上の全面に W/TiN 膜 46 を形成する。W/TiN 膜 46 は、10 [nm] 程度の TiN 膜を反応性スパッタ法で形成し、その後、50 [nm] 程度の W 膜をスパッタ法で形成することにより形成される。この W/TiN 膜 46 はゲート電極の低抵抗化を図るために  
5 形成される。

次に、前記 W/TiN 膜 46、多結晶珪素膜 45 の夫々に順次パターンニングを施し、第 18 図の (H) 図に示すように、p 型半導体層 41A の素子形成領域上及び n 型半導体層 41B の素子形成領域上にゲート電極 47 を形成する。このパターンニングはホトレジスト膜をマスクにし  
10 て行う。

次に、前記 p 型半導体領域 42A の一部の表面を露出する第 1 接続孔、前記 n 型半導体領域 42B の一部の表面を露出する第 2 接続孔の夫々を形成する。

次に、前記半導体基体 40 の全面に 5 [nm] 程度の膜厚の酸化珪素  
15 膜からなるバッファ絶縁膜を CVD 法で形成する。

次に、前記 p 型半導体層 41A の素子形成領域及び前記 n 型半導体層 41B のボディ電極形成領域並びに前記第 2 接続孔から露出された n 型半導体領域 42B に、不純物として燐をイオン打込み法で選択的に導入し、ソース領域及びドレイン領域である一対の n 型半導体領域 50、ボ  
20 ディ電極である n 型半導体領域 51、コンタクト領域である n 型半導体領域 52 の夫々を形成する。燐の導入は、最終的な導入量が  $1.5 \times 10^{15}$  [atoms/cm<sup>2</sup>] 程度、導入時のエネルギー量が 20 [KeV] 程度の条件下で行う。この燐の導入は、ホトレジスト膜をマスクにして行う。

次に、前記 n 型半導体層 41B の素子形成領域及び前記 p 型半導体層

4 1 A のボディ電極形成領域並びに前記第 1 接続孔から露出された p 型半導体領域 4 2 A に不純物としてボロンをイオン打込み法で選択的に導入し、ソース領域及びドレイン領域である一对の p 型半導体領域 5 3、ボディ電極である p 型半導体領域 5 4、コンタクト領域である p 型半導体領域 5 5 の夫々を形成する。ボロンの導入は、最終的な導入量が  $1.5 \times 10^{15} [\text{atoms}/\text{cm}^2]$  程度、導入時のエネルギー量が 5 [K e v] 程度の条件下で行う。この隣の導入はホトレジスト膜をマスクにして行う。ここまでの工程を第 1 9 図の (I) 図に示す。

次に、前記半導体基体 4 0 上の全面に層間絶縁膜 5 6 を形成し、その後、第 1 9 図の (J) 図に示すように、接続孔を形成し、その後、配線 5 7 A ~ 配線 5 7 H の夫々を形成することにより、第 1 4 図に示す状態となる。

このように、本実施形態の半導体装置は、前述の実施形態 3 と同様に、n チャネル導電型電界効果トランジスタ  $Q_n$  のチャネル形成領域と電気的に接続された p 型半導体領域 5 5 からなるボディ電極と、n チャネル導電型電界効果トランジスタ  $Q_n$  のチャネル形成領域と対向して絶縁層 4 0 B 下に設けられた p 型半導体領域 4 2 A からなるバックゲート電極と、p チャネル導電型電界効果トランジスタ  $Q_p$  のチャネル形成領域と電気的に接続された n 型半導体領域 5 1 からなるボディ電極と、p チャネル導電型電界効果トランジスタ  $Q_p$  のチャネル形成領域と対向して絶縁層 4 0 B 下に設けられた n 型半導体領域 4 2 B からなるバックゲート電極とを備えているので、前述の実施形態 3 と同様の効果が得られる。また、ボディ電極、バックゲート電極の夫々に独立して電位を印加することができる。

実施形態 3 と同様にして、第 23 図(タイミングチャート図)に示すように、 $V_{\text{subn}}$  電位 =  $V_1$  電位 ( $> V_{\text{DS}}$  電位)、 $V_{\text{subp}}$  電位 =  $V_2$  電位 ( $< V_{\text{S}}$  電位) を印加することにより、pMOS (pチャネル導電型の電界効果トランジスタ  $Q_p$ ) 及び nMOS (nチャネル導電型の電界効果トランジスタ  $Q_n$ ) の  $V_{\text{th}}$  (閾値電圧) を高くすることができ、リーク電流を低減することができる。

(実施形態 5)

本実施形態では、完全空乏型の電界効果トランジスタを有する半導体装置に本発明を適用した例について説明する。

10 第 20 図は、本発明の実施形態 5 である半導体装置の要部断面図である。

第 20 図に示すように、本実施形態の半導体装置は、前述の実施形態 3 とほぼ同一の構成になっている。本実施形態において、前述の実施形態と異なる点は、バックゲート電極である p 型半導体領域 24A が n 型半導体領域 34 によって p 型半導体基板 20A から電氣的に分離されている。p 型半導体領域 24A は n 型半導体領域 34 の主面に設けられ、n 型半導体領域 34 は p 型半導体基板 20A の主面に設けられている。

このように、バックゲート電極である p 型半導体領域 24A と p 型半導体基板 20A とを n 型半導体領域 34 によって電氣的に分離することにより、特定の回路ブロックのバックゲート電位を他の回路ブロックのバックゲート電位と変えることができる。

また、特定の回路ブロックのバックゲート電位と他の回路ブロックのバックゲート電位とを変えることができるので、特定の回路ブロックを構成する nチャネル導電型電界効果トランジスタ及び pチャネル導電型

電界効果トランジスタを高閾値電圧化して低消費電力化を図り、他の回路ブロックを構成するnチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタを低閾値電圧化して高速に動作させることができる。

5 (実施形態6)

第21図は、本発明の実施形態6であるRISCプロセッサ（半導体装置）の動作モードを表わすブロック図である。第21図において、50はベクトルレジスタ部、51はキャッシュ制御部、52はキャッシュ部、53は演算器、54は演算制御部、55はメインメモリ、56は2  
10 次キャッシュである。

第21図に示すように、(1)通常動作モード時において使用しないベクトルレジスタ部50の電界効果トランジスタをバックゲート電位によって高 $V_{th}$ （高閾値）化し、(2)ベクトル演算モード時において使用しないキャッシュ制御部51及びキャッシュ部52の電界効果トランジスタをバックゲート電位によって高 $V_{th}$ （高閾値）化することにより、即  
15 ち、使用しない部分を高 $V_{th}$ 化することにより、RISCプロセッサの低消費電力化を図ることができる。

以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、  
20 その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

産業上の利用可能性

本願において開示される発明のうち代表的なものによって得られる効

果を簡単に説明すれば、下記のとおりである。

絶縁層上の半導体層に構成された電界効果トランジスタのドレイン耐圧を高めることが可能となる。

- また、絶縁層上の半導体層に構成された電界効果トランジスタの閾値
- 5 電圧の安定化を図ることが可能となる。

また、絶縁層上の半導体層に構成された電界効果トランジスタの閾値電圧を安定した状態で変化させることが可能となる。

また、絶縁層上の半導体層に構成された電界効果トランジスタを有する半導体装置における高電圧のエージングを行うことが可能となる。

- 10 また、絶縁層上の半導体層に構成された電界効果トランジスタのリーク電流テストを行うことが可能となる。

## 請 求 の 範 囲

1. 絶縁層上の半導体層に構成された電界効果トランジスタを有する半導体装置であって、

- 5 前記電界効果トランジスタのチャネル形成領域と電氣的に接続されたボディ電極と、前記電界効果トランジスタのチャネル形成領域と対向して前記絶縁層下に設けられたバックゲート電極とを備えていることを特徴とする半導体装置。

2. 絶縁層上の半導体層に構成された電界効果トランジスタを有する半導体装置であって、

- 前記電界効果トランジスタのチャネル形成領域と電氣的に接続されたボディ電極と、前記電界効果トランジスタのチャネル形成領域と対向して前記絶縁層下に設けられたバックゲート電極とを備え、前記ボディ電極、前記バックゲート電極の夫々は、前記電界効果トランジスタのチャネルと反対導電型の半導体領域で構成されていることを特徴とする半導体装置。

3. 第1半導体層上に絶縁層を介在して第2半導体層が形成された半導体基体と、前記第2半導体層に構成された電界効果トランジスタとを有する半導体装置であって、

- 20 前記第2半導体層に形成され、かつ前記電界効果トランジスタのチャネル形成領域と電氣的に接続された半導体領域からなるボディ電極と、前記第1半導体層に形成され、かつ前記絶縁層に接触される半導体領域からなるバックゲート電極とを備え、前記バックゲート電極は、前記電界効果トランジスタのチャネル形成領域と対向して設けられ、前記ボデ

イ電極である半導体領域、前記バックゲート電極である半導体領域の夫々は前記電界効果トランジスタのチャンネルと反対導電型で構成されていることを特徴とする半導体装置。

4. 前記ボディ電極、前記バックゲート電極の夫々には、前記電界効果トランジスタのチャンネル形成領域の上層部に形成されるチャンネルと反対導電型のキャリアを制御する電位が印加されることを特徴とする請求の範囲第1項乃至請求の範囲第3項のうち何れか1項に記載の半導体装置。

5. 前記ボディ電極、前記バックゲート電極の夫々には、前記電界効果トランジスタのチャンネル形成領域の上層部に形成されるチャンネルと反対導電型の電荷を前記バックゲート電極と対向する前記半導体層の下層部に誘起する電位が印加されることを特徴とする請求の範囲第1項乃至請求の範囲第3項のうちいずれか1項に記載の半導体装置。

6. 絶縁層上の半導体層に構成された第1導電型電界効果トランジスタ及び第2導電型電界効果トランジスタを有する半導体装置であって、

前記第1導電型電界効果トランジスタのチャンネル形成領域と電氣的に接続された第1ボディ電極と、前記第1導電型電界効果トランジスタのチャンネル形成領域と対向して前記絶縁層下に設けられた第1バックゲート電極と、前記第2導電型電界効果トランジスタのチャンネル形成領域と電氣的に接続された第2ボディ電極と、前記第2導電型電界効果トランジスタのチャンネル形成領域と対向して前記絶縁層下に設けられた第2バックゲート電極とを備えていることを特徴とする半導体装置。

7. 絶縁層上の半導体層に構成された第1導電型電界効果トランジスタ及び第2導電型電界効果トランジスタを有する半導体装置であって、

前記第 1 導電型電界効果トランジスタのチャネル形成領域と電氣的に接続された第 1 ボディ電極と、前記第 1 導電型電界効果トランジスタのチャネル形成領域と対向して前記絶縁層下に設けられた第 1 バックゲート電極と、前記第 2 導電型電界効果トランジスタのチャネル形成領域と電氣的に接続された第 2 ボディ電極と、前記第 2 導電型電界効果トランジスタのチャネル形成領域と対向して前記絶縁層下に設けられた第 2 バックゲート電極とを備え、前記第 1 ボディ電極、前記第 1 バックゲート電極の夫々は、前記第 1 導電型電界効果トランジスタのチャネルと反対導電型の半導体領域で構成され、前記第 2 ボディ電極、前記第 2 バックゲート電極の夫々は、前記第 2 導電型電界効果トランジスタのチャネルと反対導電型の半導体領域で構成されていることを特徴とする半導体装置。

8. 第 1 半導体層上に絶縁層を介在して第 2 半導体層が形成された半導体基体と、前記第 2 半導体層に構成された第 1 導電型電界効果トランジスタ及び第 2 導電型電界効果トランジスタとを有する半導体装置であって、

前記第 2 半導体層に形成され、かつ前記第 1 導電型電界効果トランジスタのチャネル形成領域と電氣的に接続された半導体領域からなる第 1 ボディ電極と、前記第 1 半導体層に形成され、かつ前記絶縁層に接触される半導体領域からなる第 1 バックゲート電極と、前記第 2 半導体層に形成され、かつ前記第 2 導電型電界効果トランジスタのチャネル形成領域と電氣的に接続された半導体領域からなる第 2 ボディ電極と、前記第 1 半導体層に形成され、かつ前記絶縁層に接触される半導体領域からなる第 2 バックゲート電極とを備え、前記第 1 バックゲート電極は、前記



第 1 導電型電界効果トランジスタのチャンネル形成領域と対向して設けられ、前記第 2 バックゲート電極は、前記第 2 導電型電界効果トランジスタのチャンネル形成領域と対向して設けられ、前記第 1 ボディ電極である半導体領域、前記第 1 バックゲート電極である半導体領域の夫々は前記

5 第 1 導電型電界効果トランジスタのチャンネルと反対導電型で構成され、前記第 2 ボディ電極である半導体領域、前記第 2 バックゲート電極である半導体領域の夫々は前記第 2 導電型電界効果トランジスタのチャンネルと反対導電型で構成されていることを特徴とする半導体装置。

9. 前記第 1 バックゲート電極である半導体領域、前記第 2 バックゲート電極である半導体領域の夫々は、前記第 2 半導体層と電氣的に分離されていることを特徴とする請求の範囲第 8 項に記載の半導体装置。

10

10. 前記第 1 ボディ電極、前記第 1 バックゲート電極の夫々には、前記第 1 導電型電界効果トランジスタのチャンネル形成領域の上層部に形成されるチャンネルと反対導電型のキャリアを制御する電位が印加され、

15 前記第 2 ボディ電極、前記第 2 バックゲート電極の夫々には、前記第 2 導電型電界効果トランジスタのチャンネル形成領域の上層部に形成されるチャンネルと反対導電型のキャリアを制御する電位が印加されることを特徴とする請求の範囲第 6 項乃至請求の範囲第 9 項のうち何れか 1 項に記載の半導体装置。

20 11. 前記第 1 ボディ電極、前記第 1 バックゲート電極の夫々には、前記第 1 導電型電界効果トランジスタのチャンネル形成領域の上層部に形成されるチャンネルと反対導電型の電荷を前記第 1 バックゲート電極と対向する前記半導体層の下層部に誘起する電位が印加され、前記第 2 ボディ電極、前記第 2 バックゲート電極の夫々には、前記第 2 導電型電界効

果トランジスタのチャネル形成領域の上層部に形成されるチャネルと反対導電型の電荷を前記第 2 バックゲート電極と対向する前記半導体層の下層部に誘起する電位が印加されることを特徴とする請求の範囲第 6 項乃至請求の範囲第 9 項のうち何れか 1 項に記載の半導体装置。

- 5      1 2 . 絶縁層上の半導体層に構成された電界効果トランジスタと、前記電界効果トランジスタのチャネル形成領域と電氣的に接続されたボディ電極と、前記電界効果トランジスタのチャネル形成領域と対向して前記絶縁層下に設けられたバックゲート電極とを有する半導体装置の駆動方法であって、
- 10      前記電界効果トランジスタの閾値電圧を大きくするように、前記ボディ電極と前記バックゲート電極に若しくは少なくとも前記バックゲート電極に、前記電界効果トランジスタのチャネル形成領域の下層部にその表層部に形成されるチャネルと反対導電型の電荷を誘起する方向の電位を印加することを特徴する半導体装置の駆動方法。
- 15      1 3 . 絶縁層上の半導体層に構成された電界効果トランジスタと、前記電界効果トランジスタのチャネル形成領域と電氣的に接続されたボディ電極と、前記電界効果トランジスタのチャネル形成領域と対向して前記絶縁層下に設けられたバックゲート電極とを有する半導体装置の駆動方法であって、
- 20      前記電界効果トランジスタの閾値電圧の安定化及びドレイン耐圧の向上を図るように、前記ボディ電極とバックゲート電極に若しくは少なくとも前記バックゲート電極に、前記電界効果トランジスタのチャネル形成領域の下層部にその表層部に形成されるチャネルと反対導電型の電荷を誘起する方向の電位を印加することを特徴する半導体装置の駆動方法。

1 4. 絶縁層上の半導体層に構成された第1導電型電界効果トランジスタ及び第2導電型電界効果トランジスタと、前記第1導電型電界効果トランジスタのチャンネル形成領域と電氣的に接続された第1ボディ電極と、前記第1導電型電界効果トランジスタのチャンネル形成領域と対向して前記絶縁層下に設けられた第1バックゲート電極と、前記第2導電型電界効果トランジスタのチャンネル形成領域と電氣的に接続された第2ボディ電極と、前記第2導電型電界効果トランジスタのチャンネル形成領域と対向して前記絶縁層下に設けられた第2バックゲート電極とを有する半導体装置の駆動方法であって、

所定の回路ブロックを構成する第1導電型電界効果トランジスタ及び第2導電型電界効果トランジスタにおいて、前記第1導電型電界効果トランジスタの閾値電圧を大きくするように、前記第1ボディ電極と前記第1バックゲート電極に若しくは少なくとも前記第1バックゲート電極に、前記第1導電型電界効果トランジスタのチャンネル形成領域の下層部にその表層部に形成されるチャンネルと反対導電型の電荷を誘起する方向の電位を印加して低消費電力化すると共に、前記第2導電型電界効果トランジスタの閾値電圧を大きくするように、前記第2ボディ電極と前記第2バックゲート電極に若しくは少なくとも前記第2バックゲート電極に、前記第2導電型電界効果トランジスタのチャンネル形成領域の下層部にその表層部に形成されるチャンネルと反対導電型の電荷を誘起する方向の電位を印加して低消費電力化し、他の回路ブロックを構成する第1導電型電界効果トランジスタ及び第2導電型電界効果トランジスタの夫々を低閾値電圧化した状態で高速に動作させることを特徴とする半導体装

置の駆動方法。

15 15. 絶縁層上の半導体層に構成された第1導電型電界効果トランジスタ及び第2導電型電界効果トランジスタと、前記第1導電型電界効果トランジスタのチャンネル形成領域と電氣的に接続された第1ボディ電極と、前記第1導電型電界効果トランジスタのチャンネル形成領域と対向して前記絶縁層下に設けられた第1バックゲート電極と、前記第2導電型電界効果トランジスタのチャンネル形成領域と電氣的に接続された第2ボディ電極と、前記第2導電型電界効果トランジスタのチャンネル形成領域と対向して前記絶縁層下に設けられた第2バックゲート電極とを有する  
10 半導体装置の駆動方法であって、

前記第1バックゲート電極と前記第2バックゲート電極、若しくは前記第1バックゲート電極と前記第2バックゲート電極及び前記第1ボディ電極と前記第2ボディ電極の電位を経時的に変化させ、前記第1導電型電界効果トランジスタ、前記第2導電型電界効果トランジスタの夫々の特性を変動させることを特徴とする半導体装置の駆動方法。  
15

20 16. 絶縁層上の半導体層に構成された第1導電型電界効果トランジスタ及び第2導電型電界効果トランジスタと、前記第1導電型電界効果トランジスタのチャンネル形成領域と電氣的に接続された第1ボディ電極と、前記第1導電型電界効果トランジスタのチャンネル形成領域と対向して前記絶縁層下に設けられた第1バックゲート電極と、前記第2導電型電界効果トランジスタのチャンネル形成領域と電氣的に接続された第2ボディ電極と、前記第2導電型電界効果トランジスタのチャンネル形成領域と対向して前記絶縁層下に設けられた第2バックゲート電極とを有する半導体装置のテスト方法であって、

前記第 1 導電型電界効果トランジスタ、前記第 2 電界効果トランジスタの夫々の閾値電圧を大きくするように、前記第 1 バックゲート電極と前記第 2 バックゲート電極に、若しくは前記第 1 バックゲート電極と前記第 2 バックゲート電極及び前記第 1 ボディ電極と前記第 2 ボディ電極  
5 に電位を印加した状態でリーク電流を測定することを特徴とする半導体装置のテスト方法。

17. 絶縁層上の半導体層に構成された電界効果トランジスタと、前記電界効果トランジスタのチャネル形成領域と電氣的に接続されたボディ電極と、前記電界効果トランジスタのチャネル形成領域と対向して前記絶縁層下に設けられたバックゲート電極とを有する半導体装置のエー  
10 ジング方法であって、

前記バックゲート電極に若しくは前記バックゲート電極と前記ボディ電極に電位を印加した状態でエーシングを行うことを特徴とする半導体装置のエーシング方法。

15 18. 絶縁層上の半導体層に構成された電界効果トランジスタを有し、かつ前記電界効果トランジスタのチャネル形成領域と電氣的に接続されたボディ電極と、前記電界効果トランジスタのチャネル形成領域と対向して前記絶縁層下に設けられたバックゲート電極とを有する半導体装置の使用  
20 方法であって、前記ボディ電極の電位と前記バックゲート電極の電位で前記電界効果トランジスタのチャネル形成領域の下層部にその表層部に形成されるチャネルと反対導電型のチャネルを形成し、このチャネルと前記電界効果トランジスタのドレイン領域の空乏層の一部とが終端する状態を使用することを特徴とする半導体装置の使用  
方法。

FIG. 1

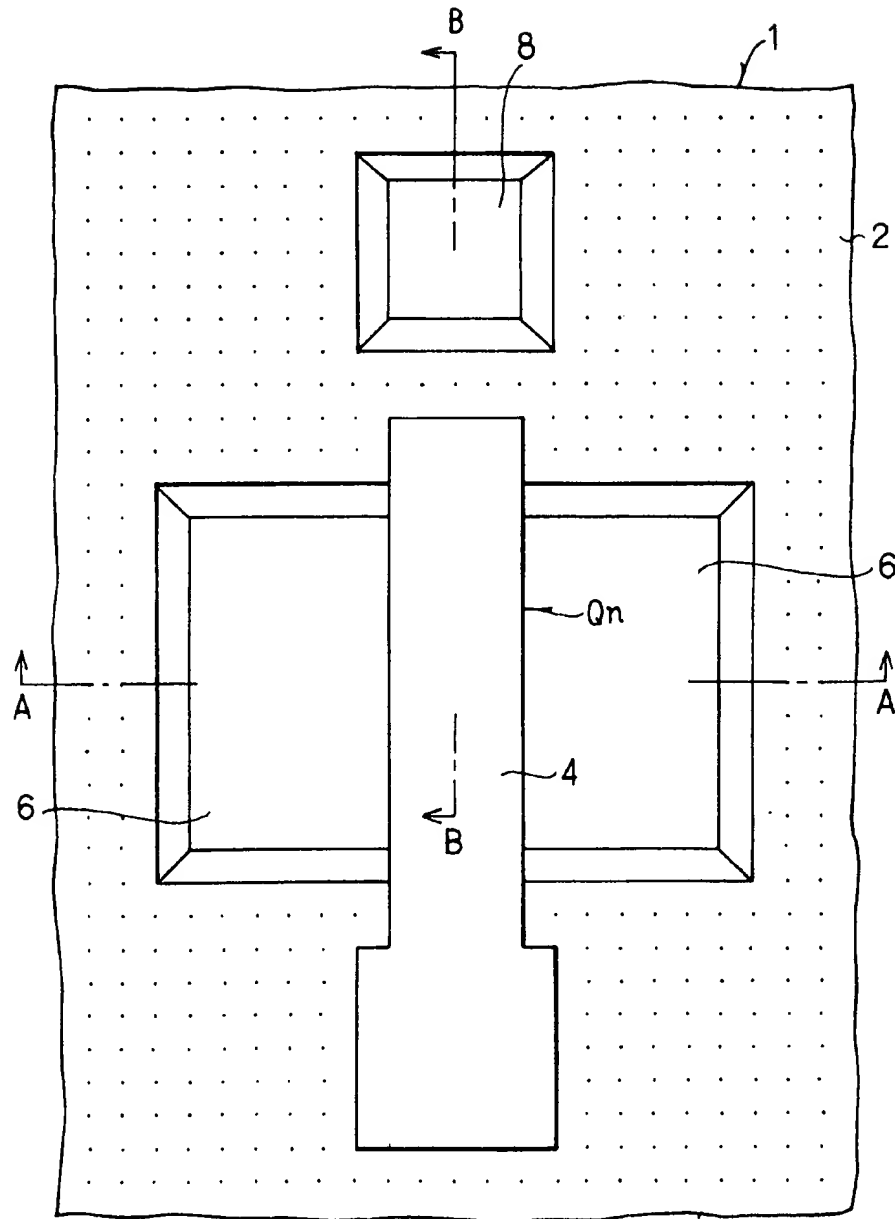
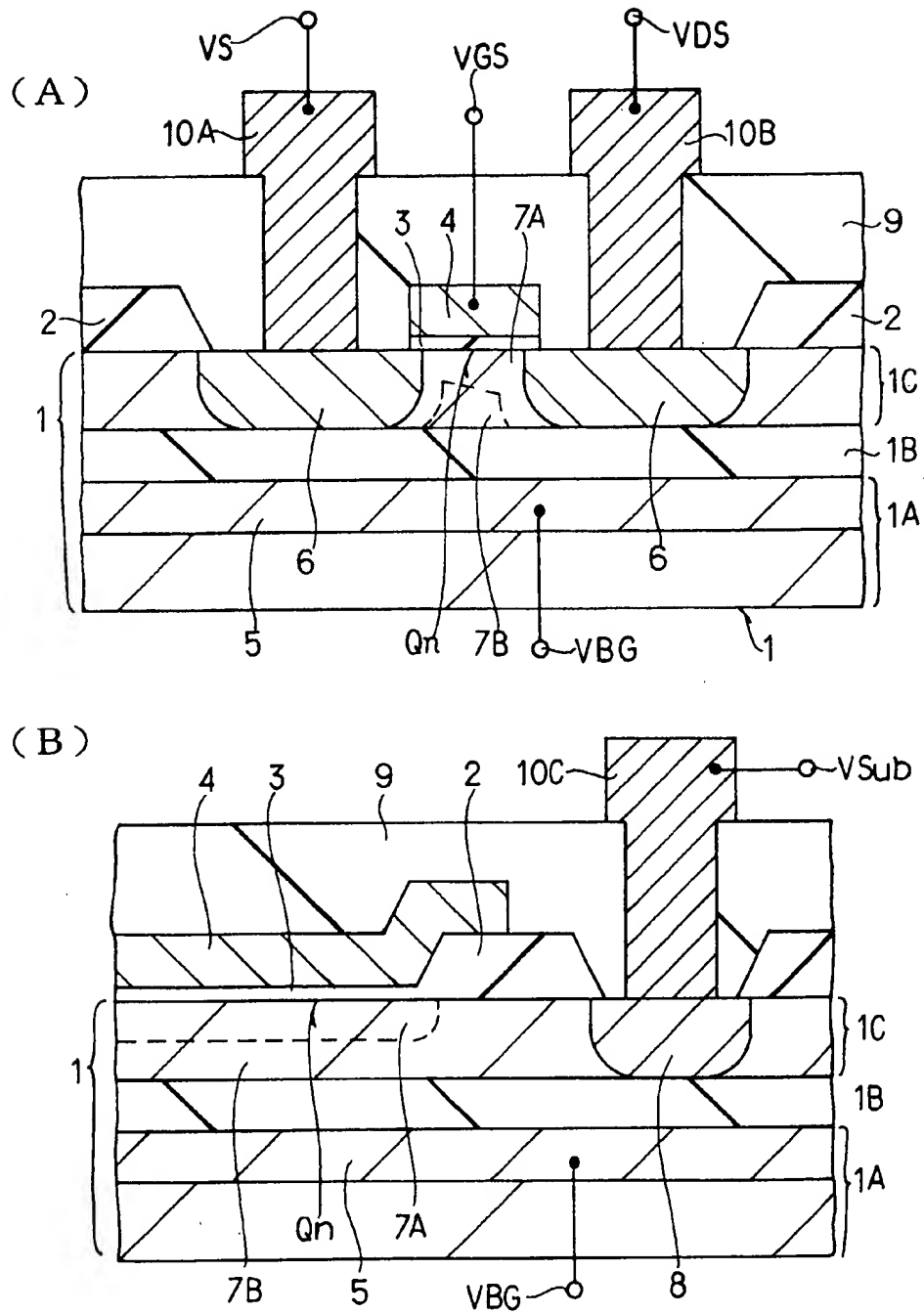
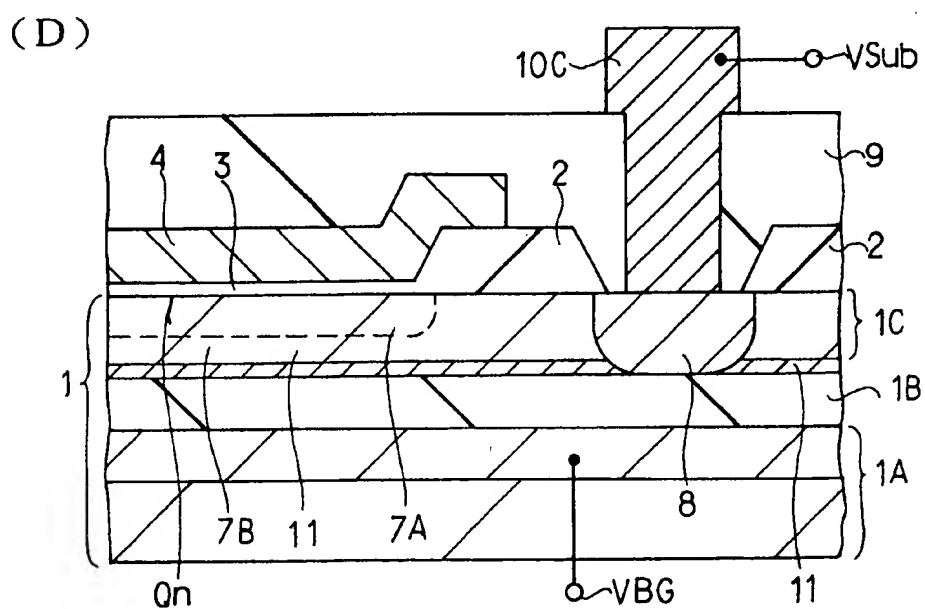
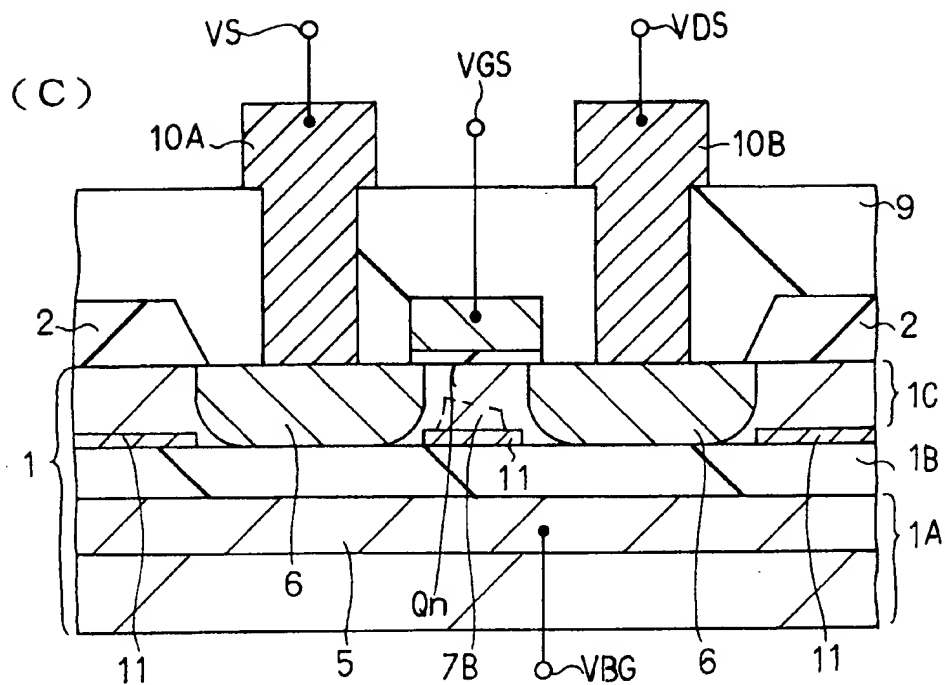


FIG. 2



3 / 2 2

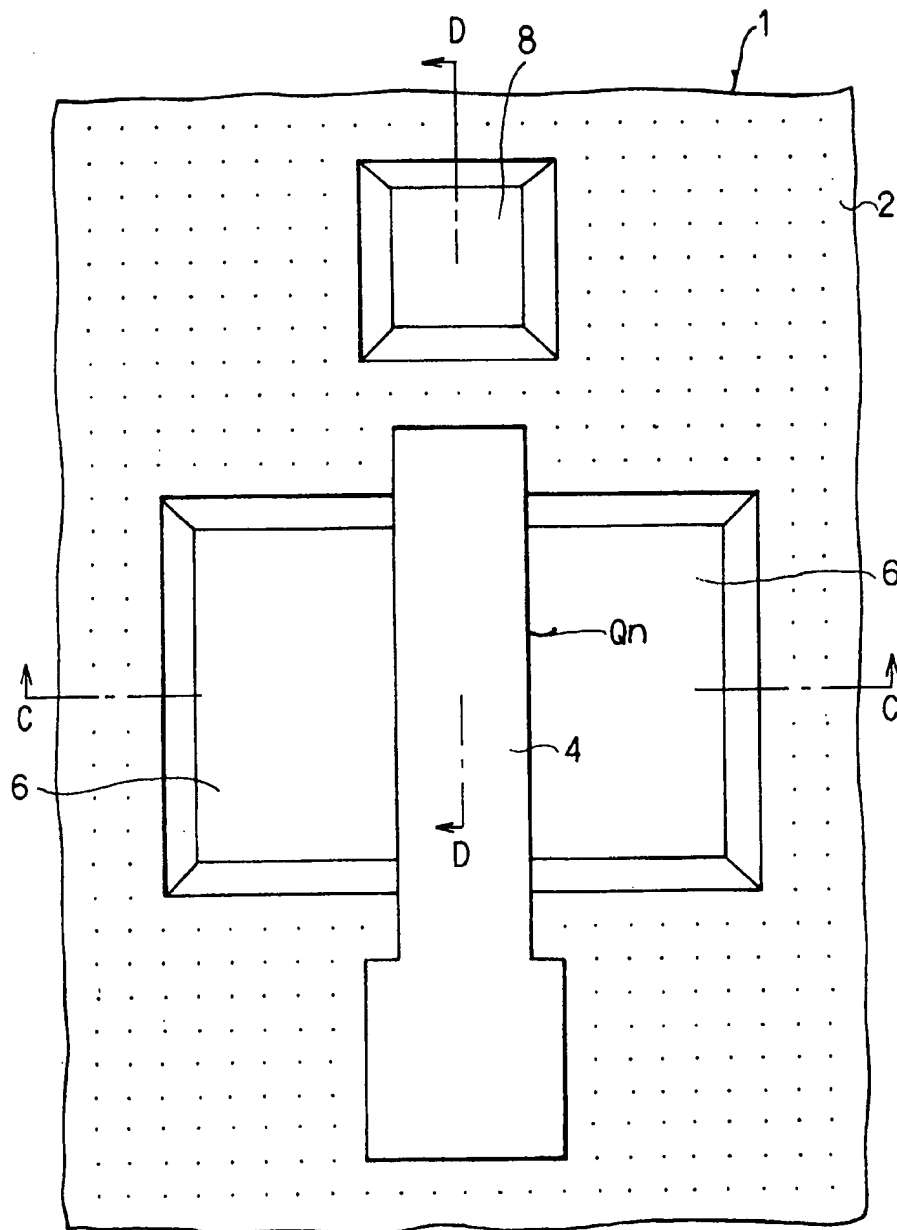
FIG. 3





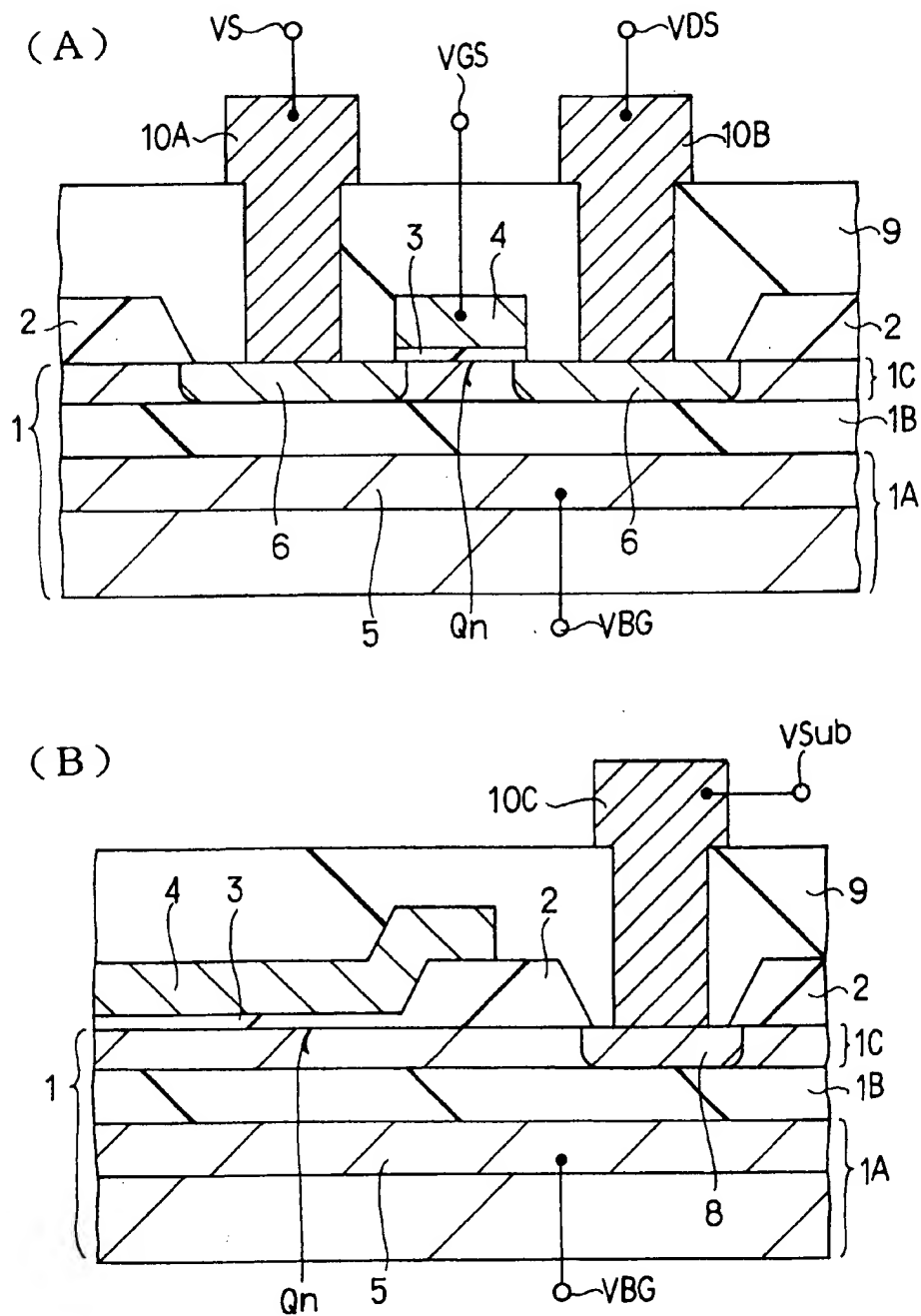
4 / 2 2

FIG. 4



5 / 2 2

FIG. 5



6 / 2 2

FIG. 6

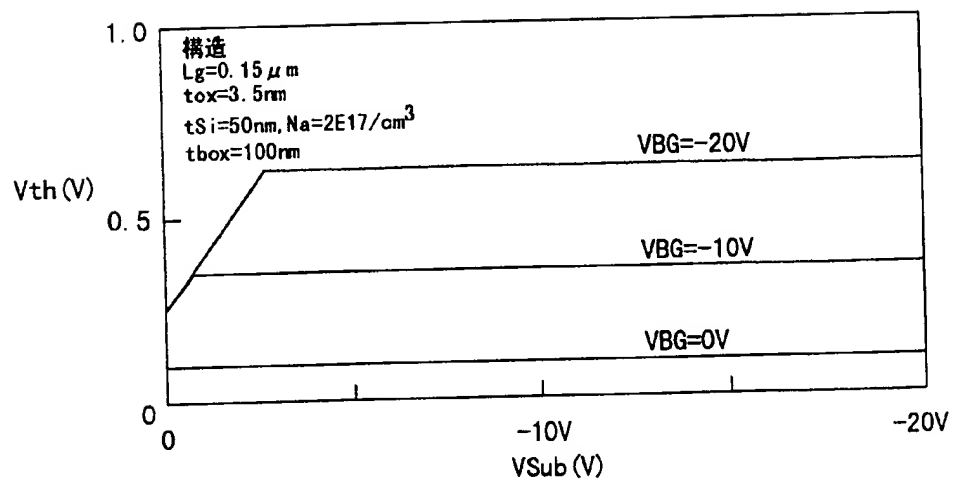


FIG. 7

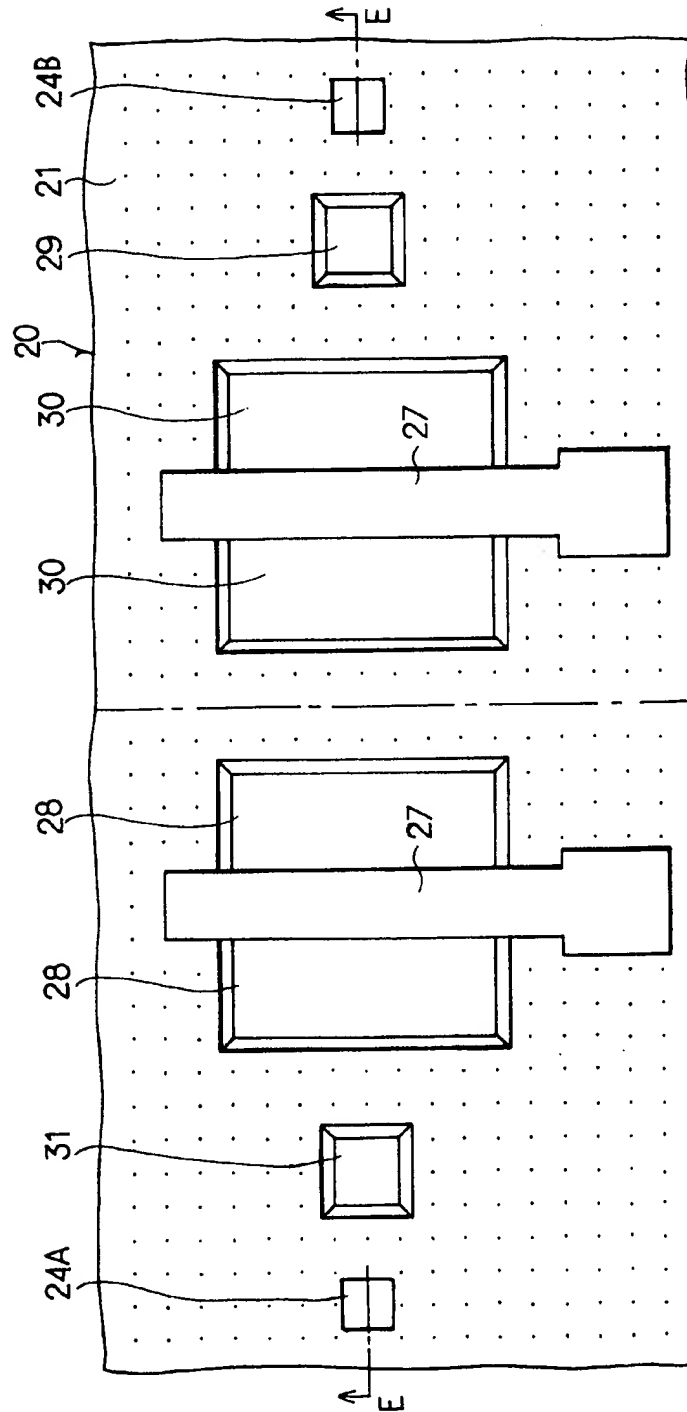


FIG. 8

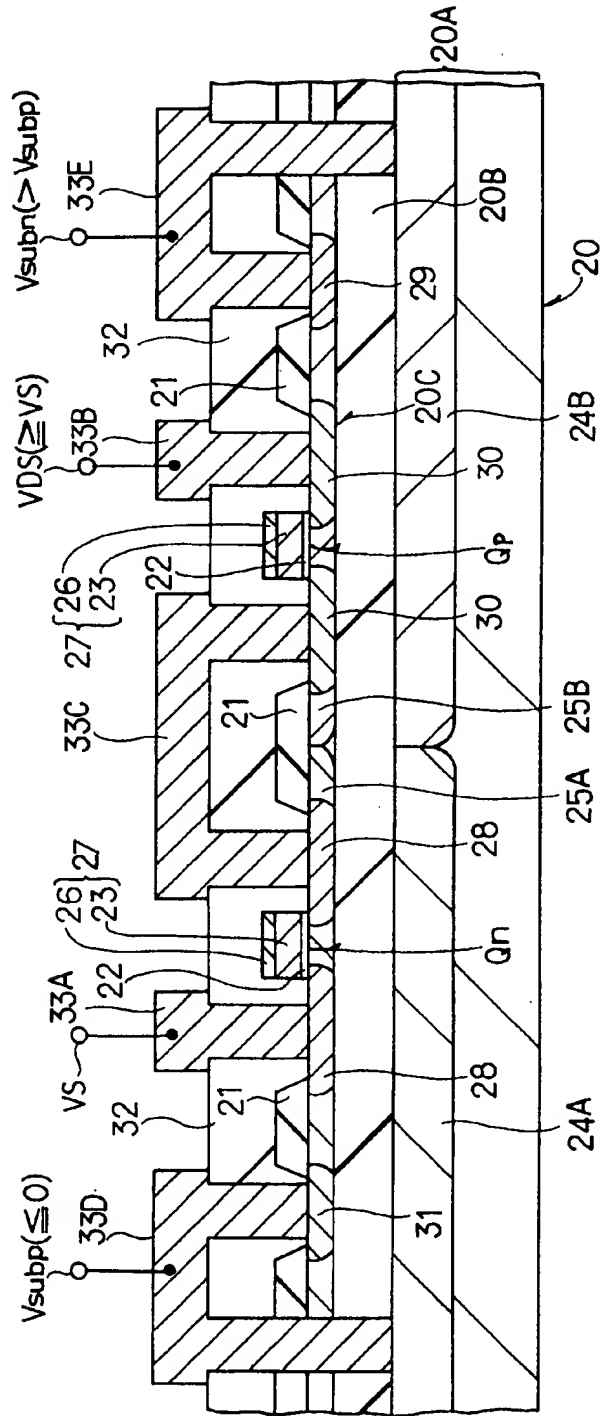


FIG. 9

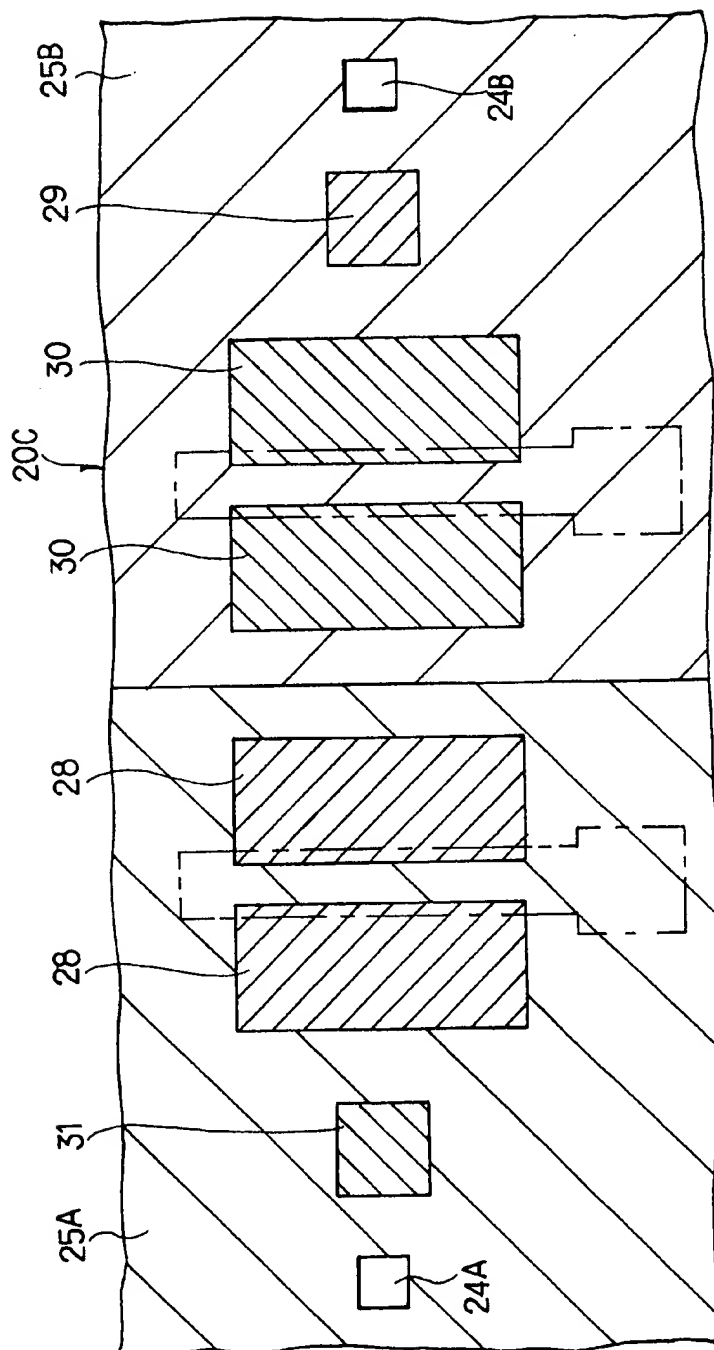


FIG. 10

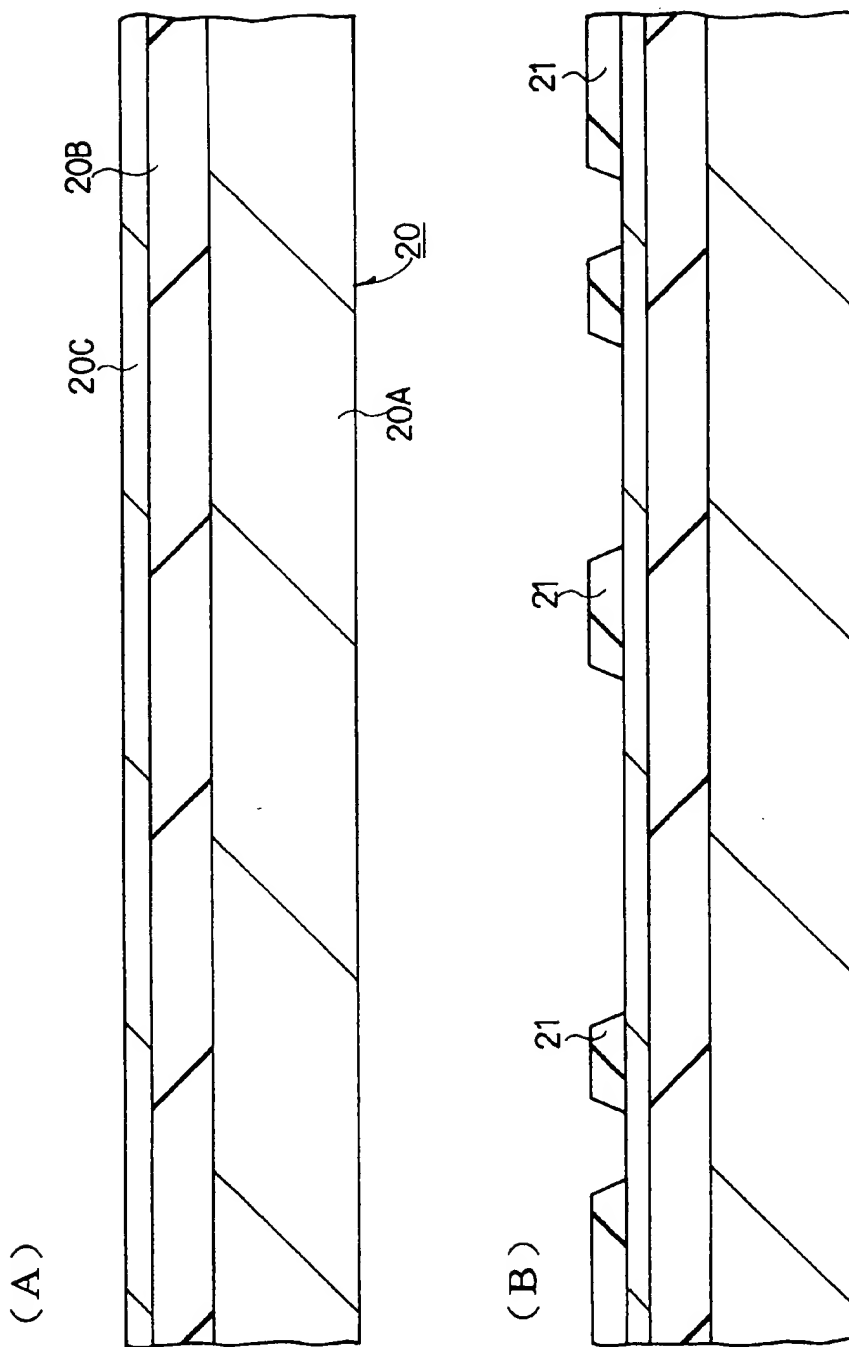


FIG. 11

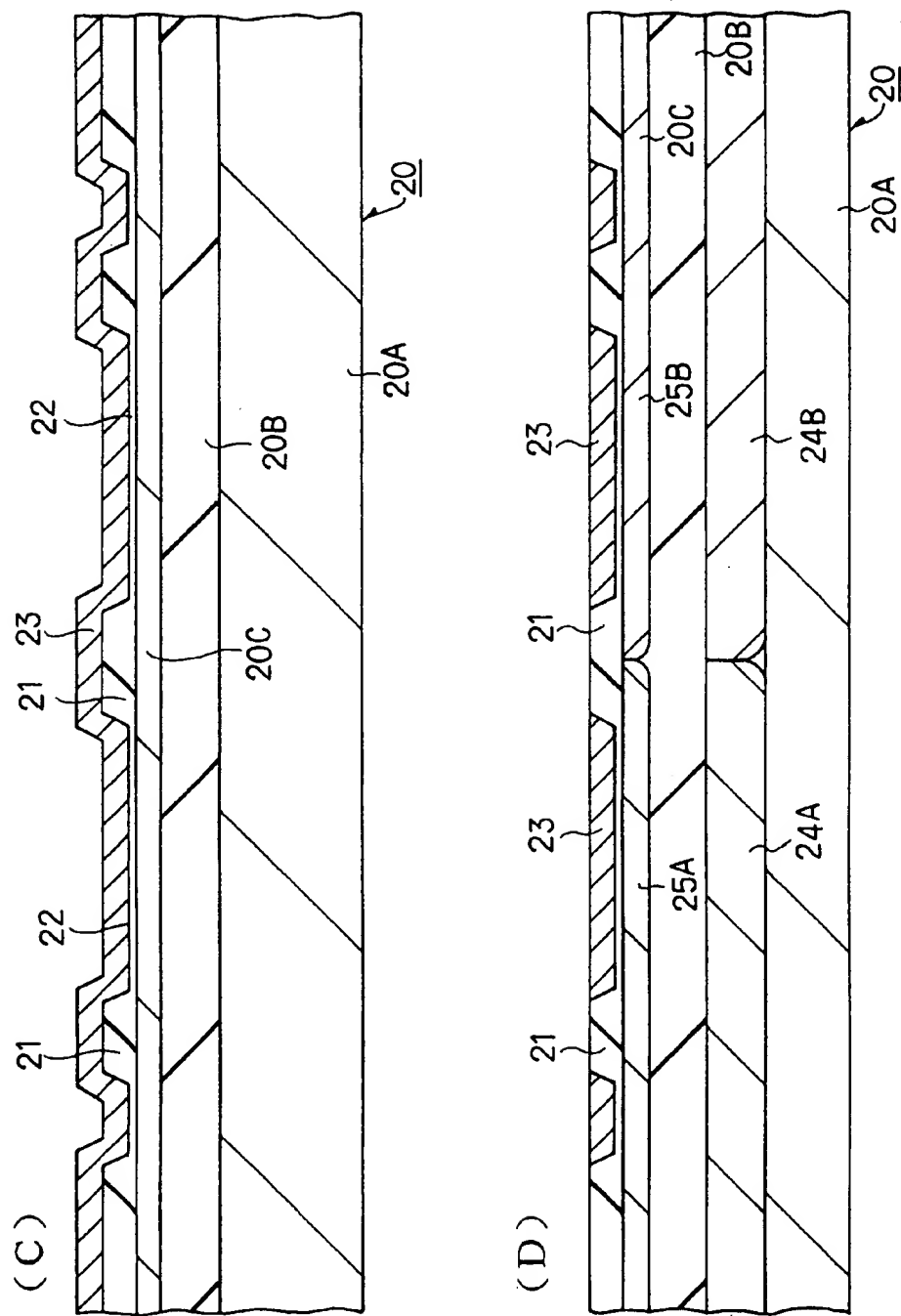




FIG. 12

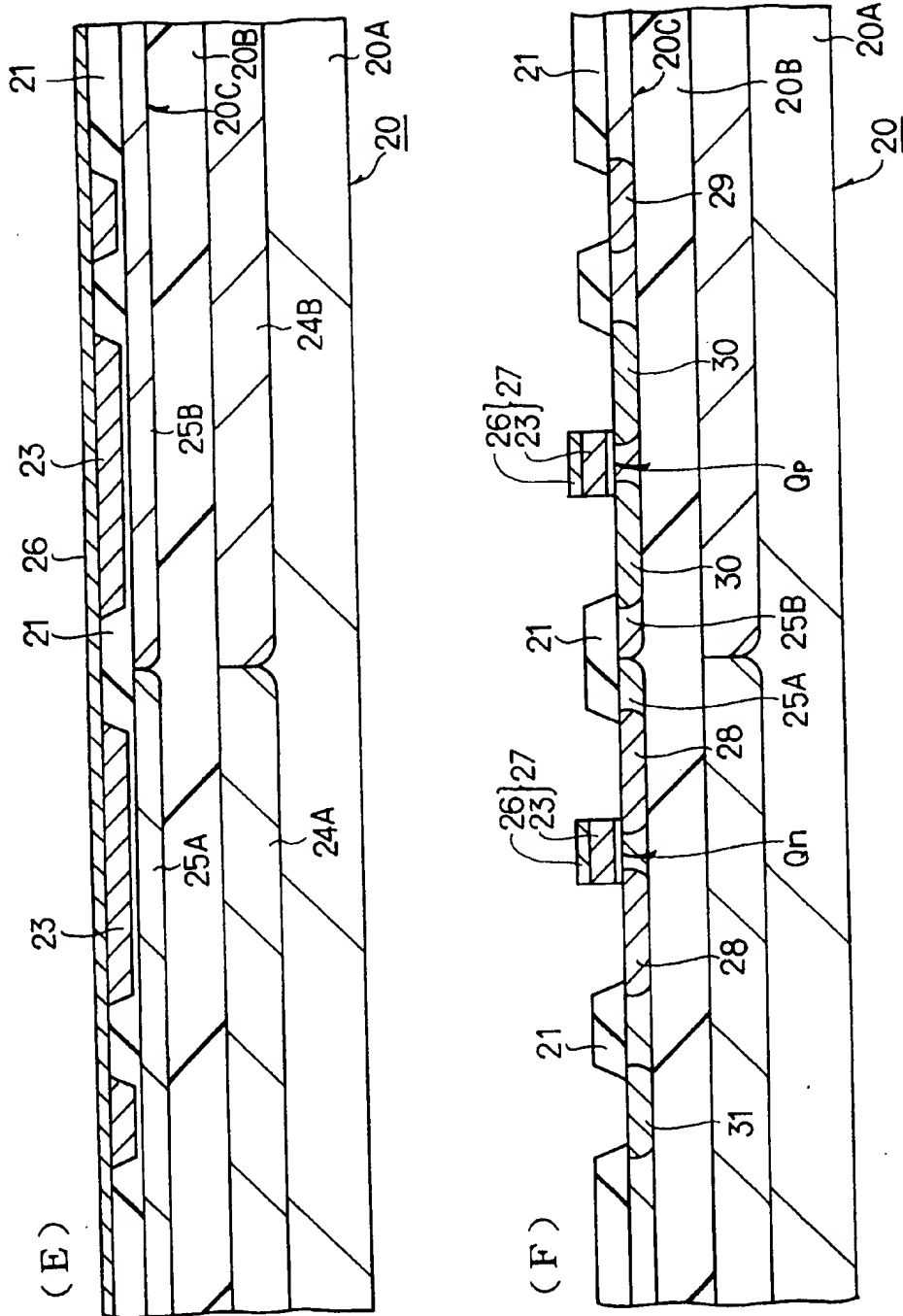


FIG. 13

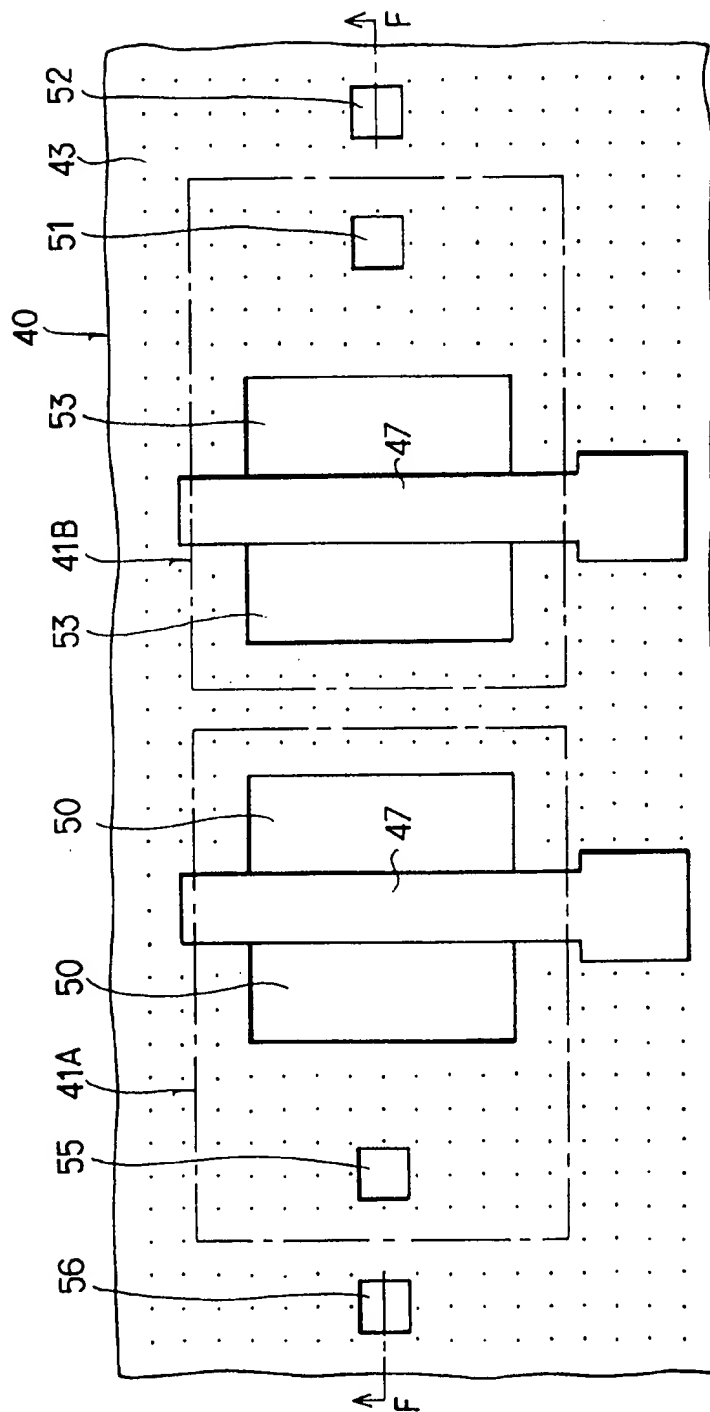


FIG. 14

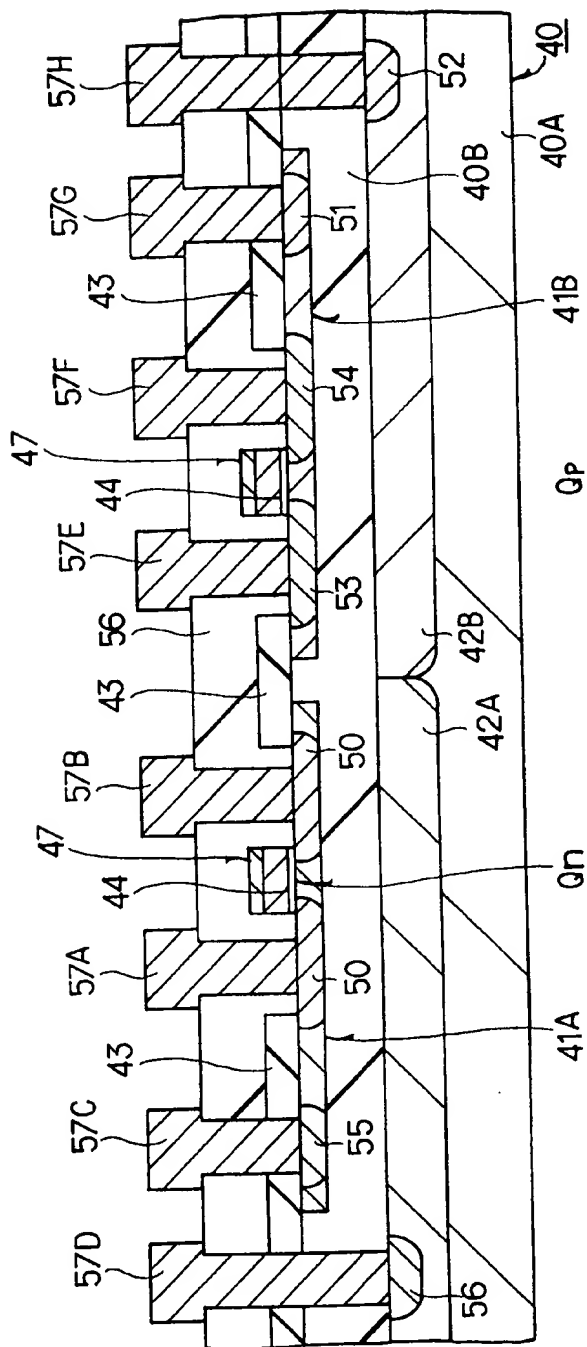


FIG. 15

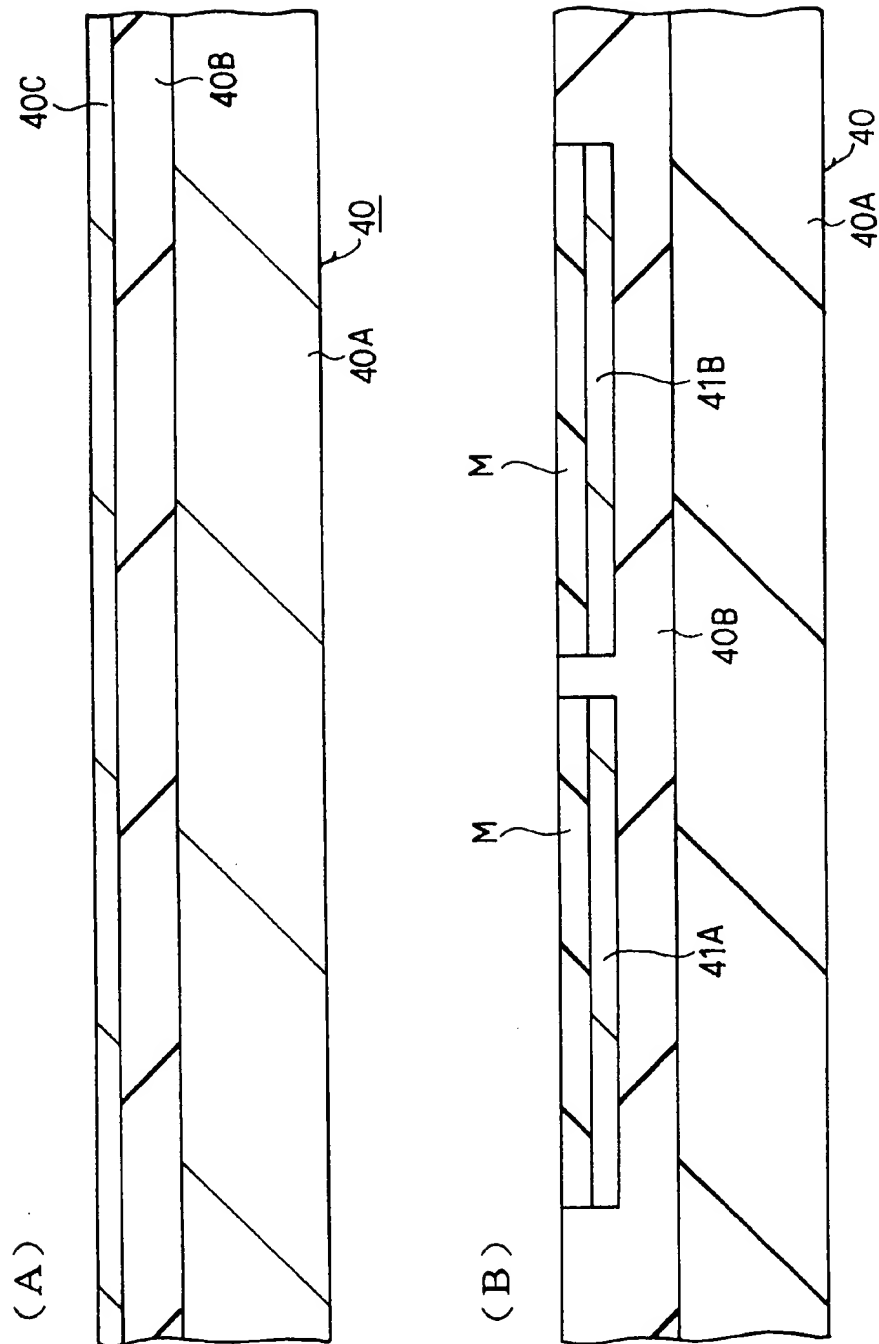


FIG. 16

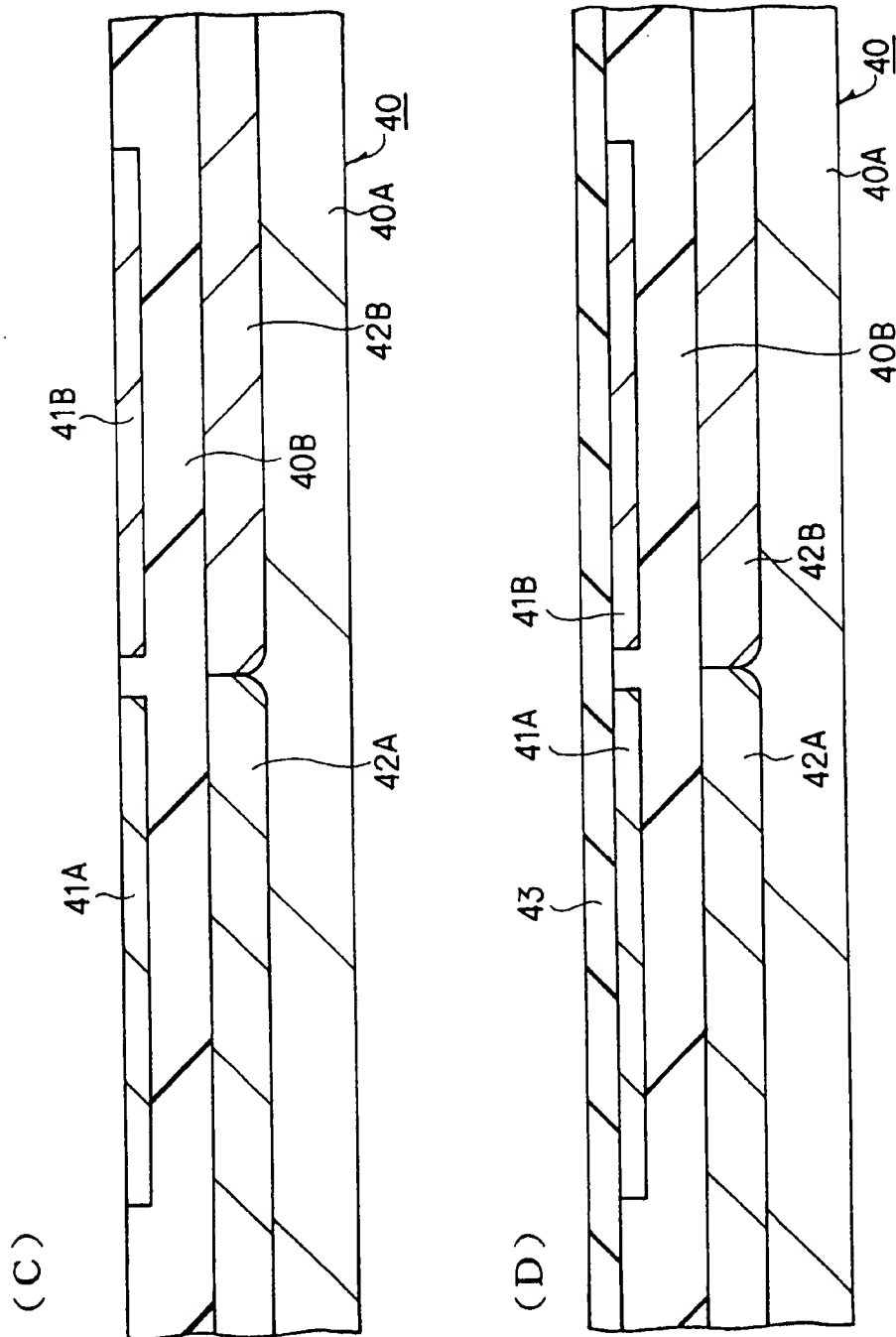


FIG. 17

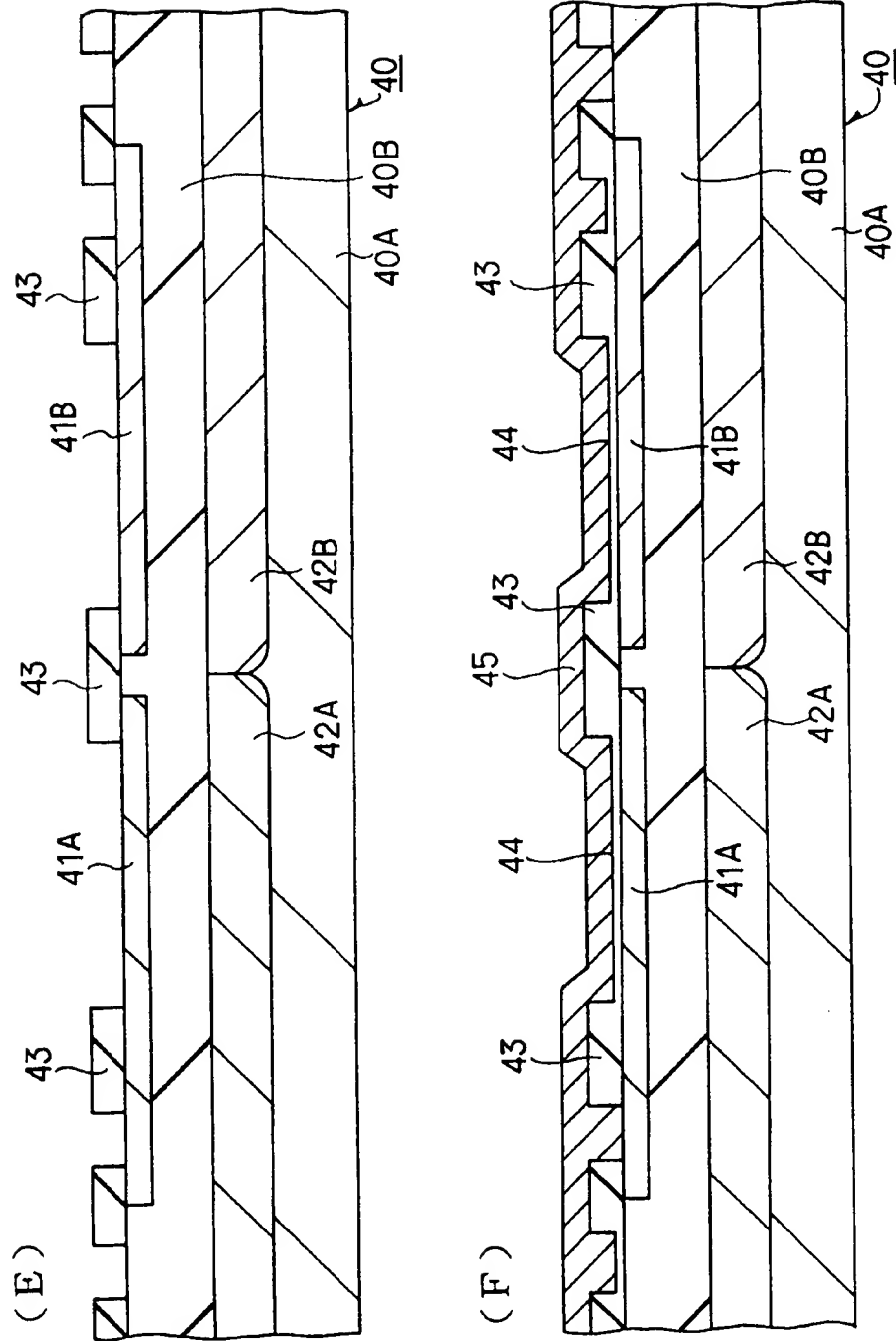


FIG. 18

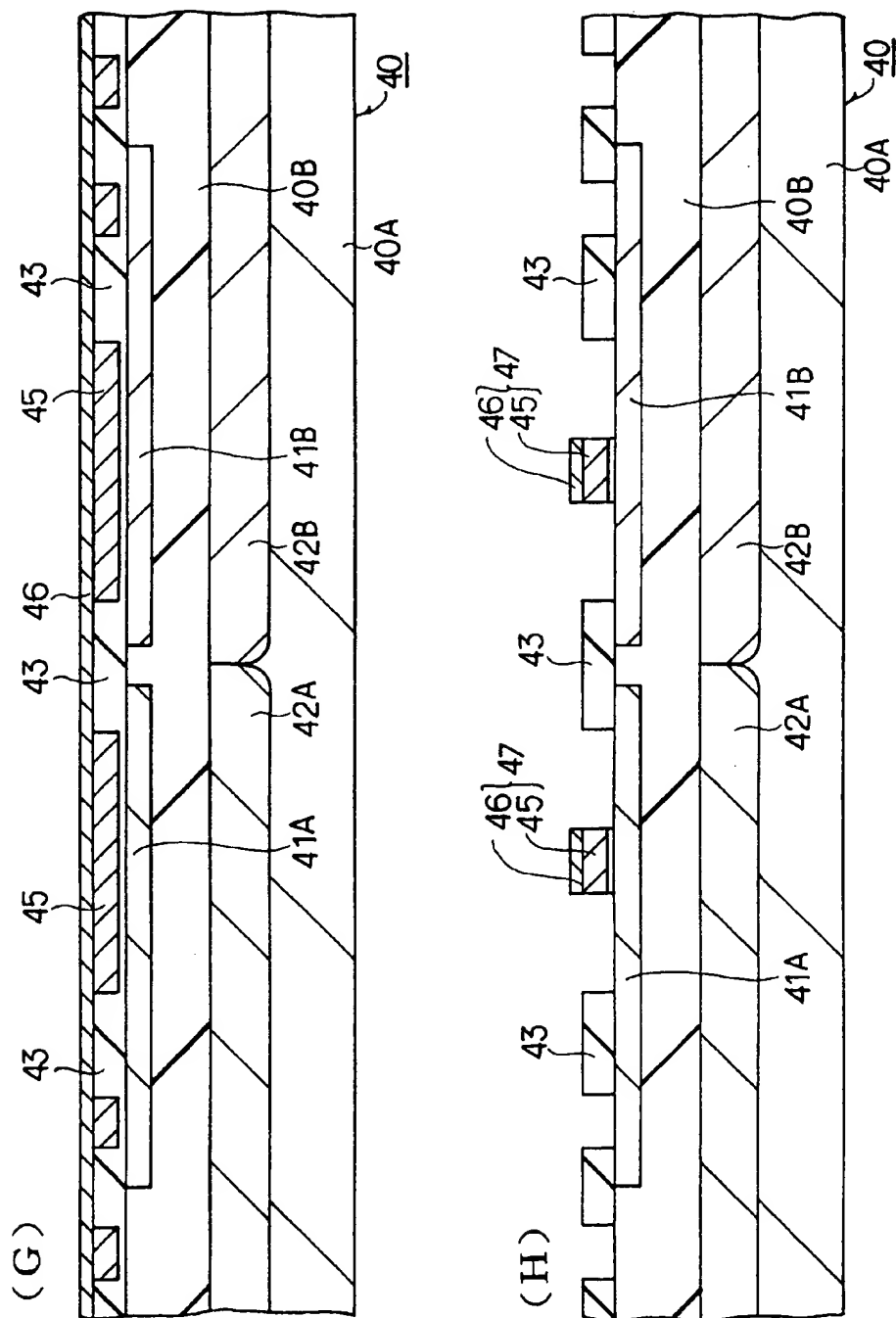
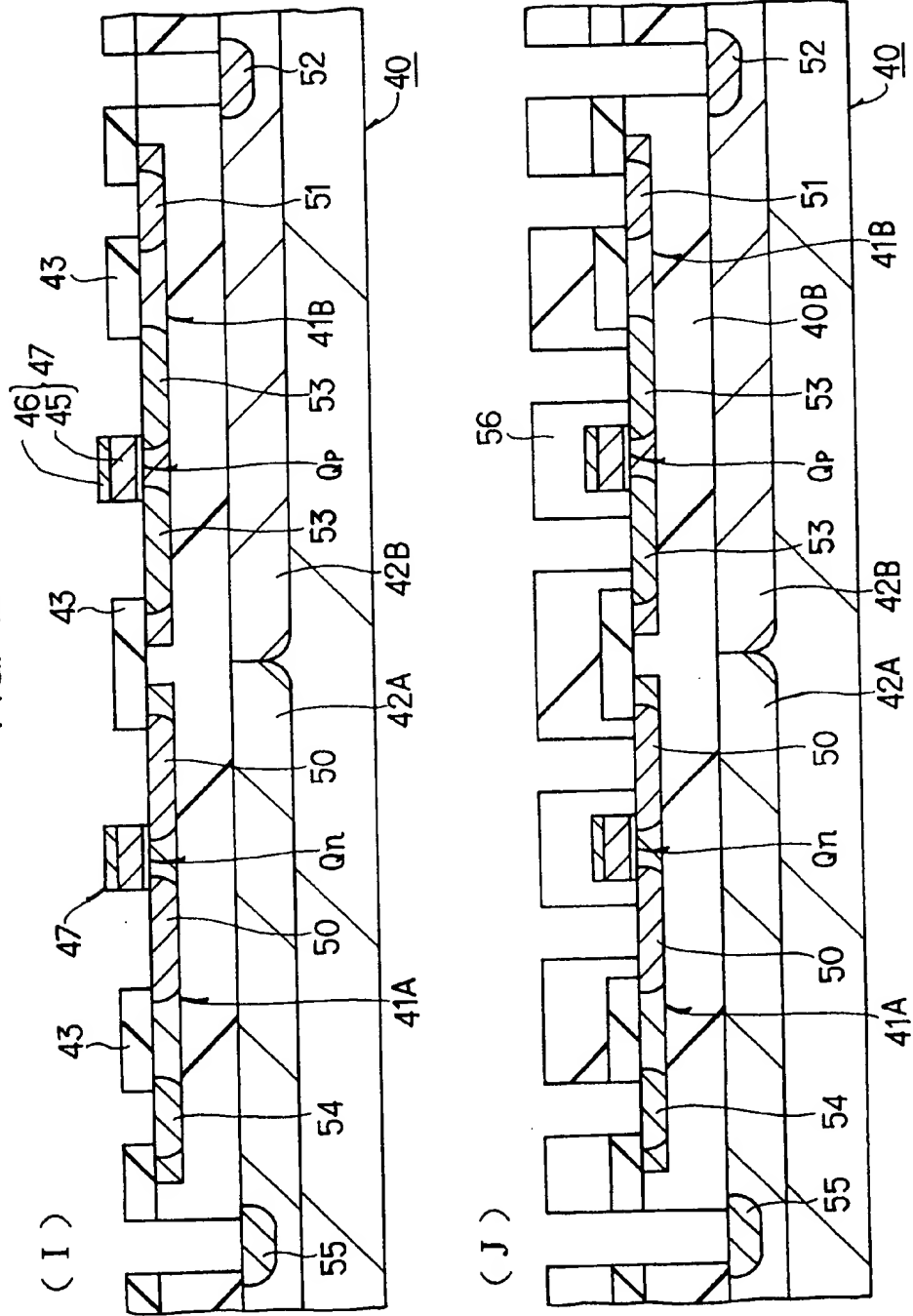


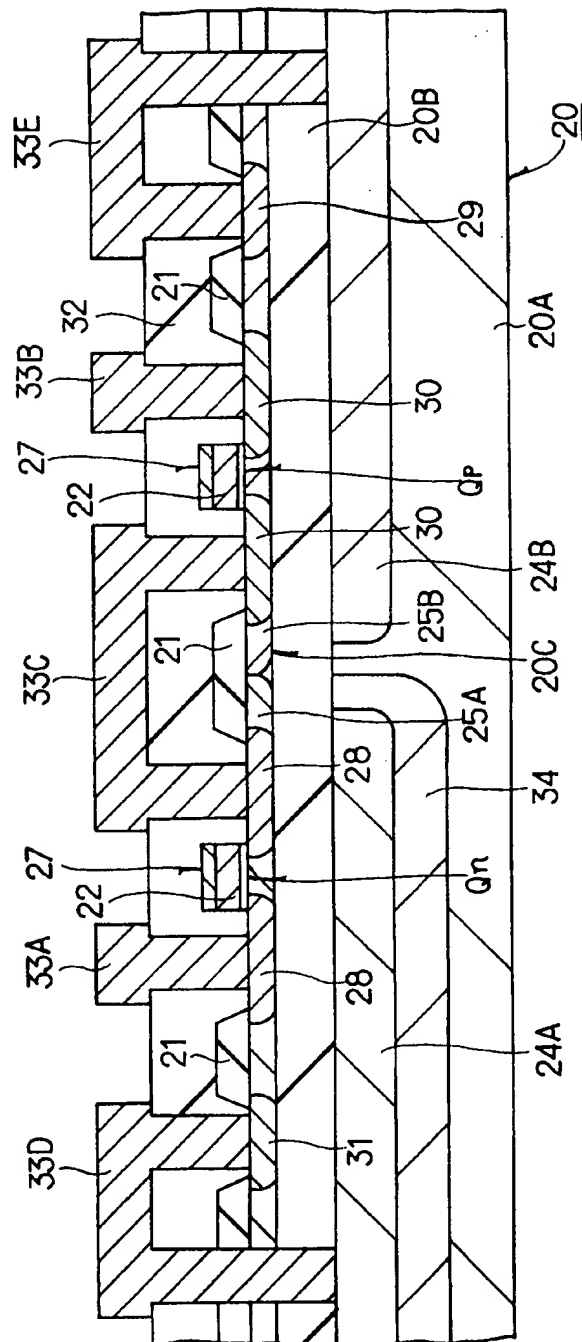
FIG. 19





20/22

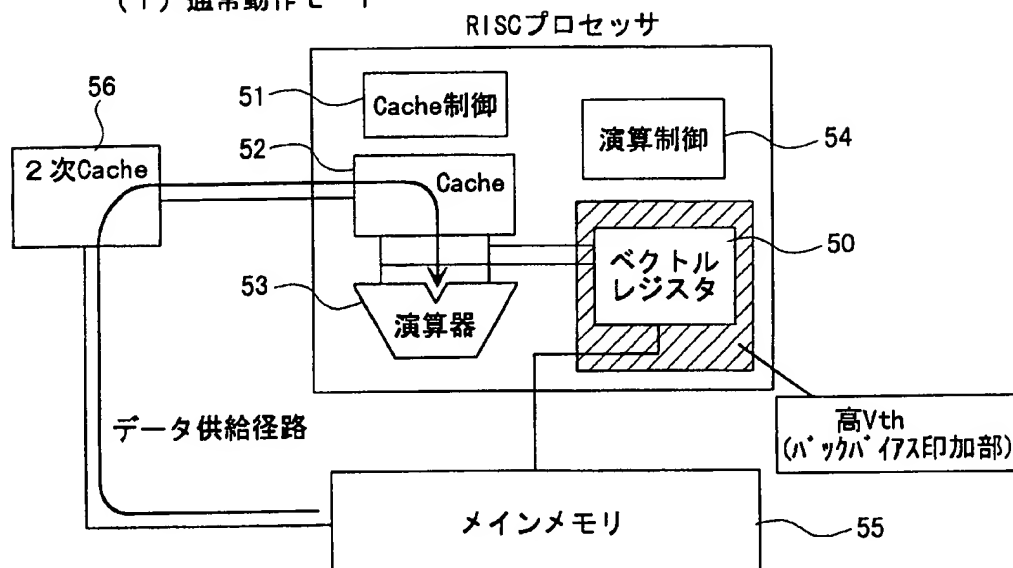
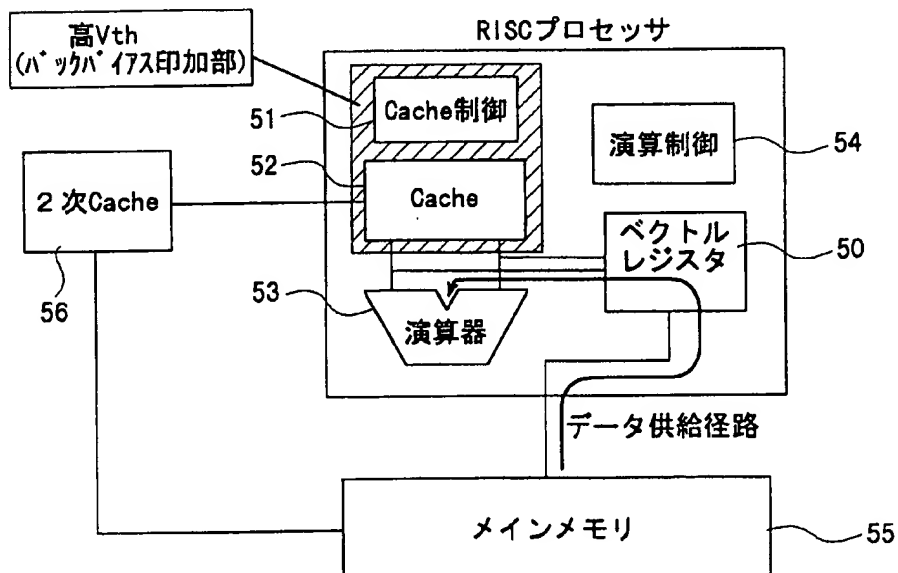
FIG. 20



21/22

FIG. 21

## (1) 通常動作モード

(2) 大量データ数値計算モード  
(ベクトル演算モード)

22 / 22

FIG. 22

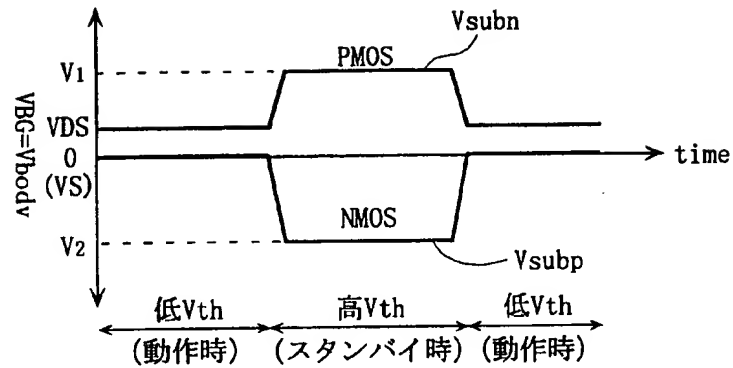
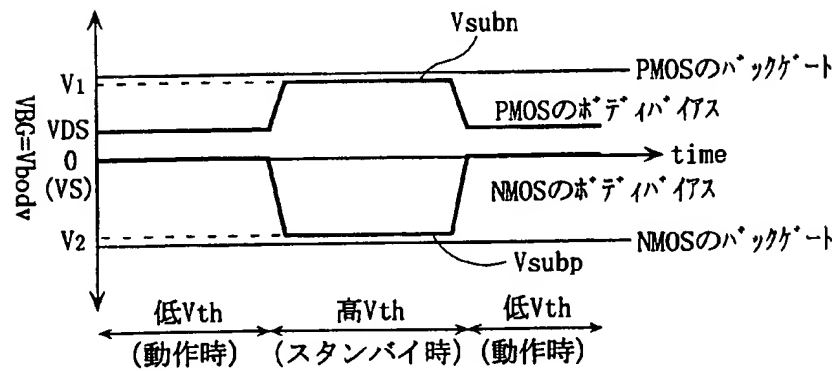


FIG. 23



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/04256

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>6</sup> H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>6</sup> H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1998

Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 4-280474, A (Oki Electric Industry Co., Ltd.), 6 October, 1992 (06. 10. 92), Full text ; Fig. 6 (Family: none)	1-3, 6-8
Y	JP, 4-259259, A (Nippondenso Co., Ltd.), 14 September, 1992 (14. 09. 92), Full text ; Fig. 17 (Family: none)	1-3, 6-8
Y	JP, 3-116969, A (Fuji Electric Co., Ltd.), 17 May, 1991 (17. 05. 91), Full text ; Figs. 1, 3 (Family: none)	1-3, 6-8
E, X	JP, 10-303426, A (Matsushita Electric Works, Ltd.), 13 November, 1998 (13. 11. 98), Full text ; Fig. 1 (Family: none)	1-2

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
14 December, 1998 (14. 12. 98)

Date of mailing of the international search report  
22 December, 1998 (22. 12. 98)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

02/08/2003. EAST Version: 1.03.0002

## 国際調査報告

国際出願番号 PCT/J P 98/04256

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>8</sup> H01L29/786

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>8</sup> H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案 1922-1996年  
 日本国公開実用新案公報 1971-1998年  
 日本国登録実用新案公報 1994-1998年  
 日本国実用新案登録公報 1996-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 4-280474, A (沖電気工業株式会社) 6. 10月1992 (06. 10. 92) 全文, 図6 (ファミリーなし)	1-3, 6-8
Y	J P, 4-259259, A (日本電装株式会社) 14. 9月1992 (14. 09. 92) 全文, 図17 (ファミリーなし)	1-3, 6-8
Y	J P, 3-116969, A (富士電機株式会社) 17. 5月1991 (17. 05. 91) 全文, 第1, 3図 (ファミリーなし)	1-3, 6-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

14. 12. 98

国際調査報告の発送日

22.12.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

4M 9361

電話番号 03-3581-1101 内線 3464

様式 PCT/ISA/210 (第2ページ) (1998年7月)

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
E, X	J P, 10-303426, A (松下電工株式会社) 13. 11月1998 (13. 11. 98) 全文, 図1 (ファミリーなし)	1-2